

(11)Publication number : 2002-026156
(43)Date of publication of application : 25.01.2002

(51)Int.Cl. H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

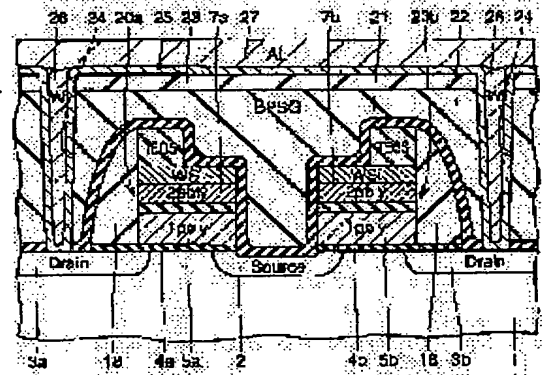
(21)Application number : 2000-211288 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 12.07.2000 (72)Inventor : SHIMIZU SATORU
OONAKAMICHI TAKAHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is improved so as not to generate crystal defects in side its substrate.

SOLUTION: In the semiconductor device, a source region 2 is provided in the surface of a semiconductor substrate 1 and between first and second laminated gates 20a, 20b. On the sidewalls of the first and second laminated gates 20a, 20b which are present respectively on the sides of drain regions 3a, 3b, sidewall spacers 18 are provided respectively. On the sidewalls of the first and second laminated gates 20a, 20b which are present respectively on the side of the source region 2, sidewall spacer is not provided.



1: 半場位基板
3a, 3b: ドレイン領域
7a, 7b: コントロールゲート
20a: 第1積層ゲート

2: ソ ス領域
5a, 5b: フローティングゲート
18: サイバウォ ルスベ ナ
20b: 第2積層ゲート

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26156

(P2002-26156A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.7	識別記号	F I	テマコード (参考)	
H 0 1 L	21/8247	H 0 1 L 27/10	4 3 4	5 F 0 0 1
	27/115	29/78	3 7 1	5 F 0 8 3
	29/788			5 F 1 0 1
	29/792			

審査請求 未請求 請求項の数19 O L (全 28 頁)

(21) 出願番号 特願2000-211288 (P2000-211288)

(22) 出願日 平成12年7月12日 (2000.7.12)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 清水 悟

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 大中道 崇浩

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

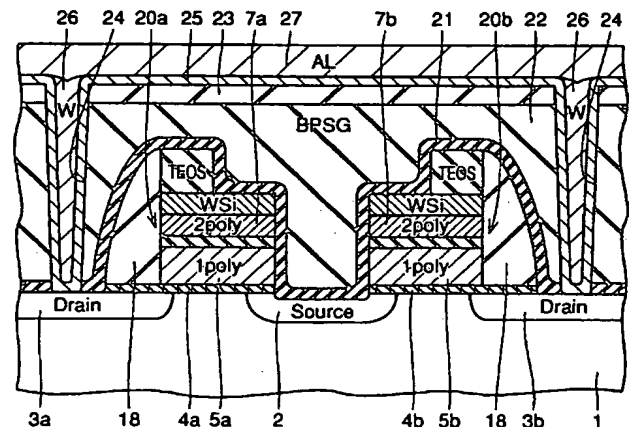
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 基板中に結晶欠陥が発生しないように改良された半導体装置を提供することを主要な目的とする。

【解決手段】 半導体基板1の表面中であって、第1積層ゲート20aと第2積層ゲート20bの間にソース領域2が設けられている。第1および第2積層ゲート20a、20bの、ドレイン領域3a、3b側の側壁には、サイドウォールスペーサ18が設けられている。第1および第2積層ゲート20a、20bの、ソース領域2側の側壁にはサイドウォールスペーサが設けられていない。



1: 半導体基板

3a, 3b: ドレイン領域

7a, 7b: コントロールゲート

20a: 第1積層ゲート

2: ソース領域

5a, 5b: フローティングゲート

18: サイドウォールスペーサ

20b: 第2積層ゲート

【特許請求の範囲】

【請求項 1】 基板の上に互いに離して設けられた第 1 のゲートと第 2 のゲートと、

前記第 1 および第 2 のゲートの側壁に設けられ、前記基板に応力がかからないように、その形状が選ばれたサイドウォールスペーサと、を備えた半導体装置。

【請求項 2】 半導体基板の上に設けられ、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第 1 積層ゲートと第 2 積層ゲートと、

前記半導体基板の表面中であって、前記第 1 積層ゲートと前記第 2 積層ゲートの間に設けられたソース領域と、前記半導体基板の表面中であって、かつ前記第 1 積層ゲートを間に挟んで前記ソース領域の反対側に設けられた第 1 のドレイン領域と、

前記半導体基板の表面中であって、かつ前記第 2 積層ゲートを間に挟んで、前記ソース領域の反対側に設けられた第 2 のドレイン領域と、を備え、

前記第 1 および第 2 積層ゲートの、ドレイン領域の側の側壁には、サイドウォールスペーサが設けられており、

前記第 1 および第 2 積層ゲートの、前記ソース領域の側の側壁にはサイドウォールスペーサが設けられていない、請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板の上に設けられ、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第 1 積層ゲートと第 2 積層ゲートと、

前記半導体基板の表面中であって、前記第 1 積層ゲートと前記第 2 積層ゲートの間に設けられたソース領域と、前記半導体基板の表面中であって、かつ前記第 1 積層ゲートを間に挟んで、前記ソース領域の反対側に設けられた第 1 のドレイン領域と、

前記半導体基板の表面中であって、かつ前記第 2 積層ゲートを間に挟んで、前記ソース領域の反対側に設けられた第 2 のドレイン領域と、

前記第 1 積層ゲートの両側壁に設けられた第 1 のサイドウォールスペーサと、

前記第 2 積層ゲートの両側壁に設けられた第 2 のサイドウォールスペーサとを備え、

前記第 1 および第 2 のサイドウォールスペーサの直下、前記ソース領域の表面、および前記第 1 および第 2 ドレイン領域の表面には熱酸化膜が存在する、請求項 1 に記載の半導体装置。

【請求項 4】 半導体基板の上に互いに平行に順次並んで設けられた第 1、第 2 および第 3 ゲート電極を備え、前記第 1 ゲート電極と前記第 2 ゲート電極との距離は、前記第 2 ゲート電極と前記第 3 ゲート電極との距離よりも狭くされており、

前記第 2 ゲート電極の、前記第 3 ゲート電極側の側壁にはサイドウォールスペーサが設けられており、

前記第 1 ゲート電極と前記第 2 ゲート電極との距離は、前記サイドウォールスペーサの膜厚の 2 倍よりも小さくされている、請求項 1 に記載の半導体装置。

【請求項 5】 前記サイドウォールスペーサは、窒化膜で形成されており、

前記第 1 および第 2 のドレイン領域のそれぞれに接続されるコンタクトホールがセルフアライン的に形成されている、請求項 2 に記載の半導体装置。

【請求項 6】 前記窒化膜のサイドウォールスペーサは、前記第 1 および第 2 ゲート電極のそれぞれの側壁に、バッファ層を介在させて設けられており、

前記窒化膜のサイドウォールスペーサは、前記半導体基板の上にバッファ層を介在させて設けられている、請求項 5 に記載の半導体装置。

【請求項 7】 ゲート電極を有する周辺回路部と、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第 1 積層ゲートと第 2 積層ゲートを有するセル部と、

前記ゲート電極の側壁に設けられたサイドウォールスペーサと、を備え、

前記第 1 積層ゲートと前記第 2 積層ゲートとの間の距離は、前記サイドウォールスペーサの幅の 2 倍よりも小さくされており、

前記第 1 および第 2 積層ゲートの側壁にはサイドウォールスペーサが形成されていない、請求項 1 に記載の半導体装置。

【請求項 8】 ゲート電極を有する周辺回路部と、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第 1 積層ゲートと第 2 積層ゲートを有するセル部と、

前記ゲート電極の側壁に設けられた第 1 のサイドウォールスペーサと、を備え、

前記第 1 積層ゲートと前記第 2 積層ゲートとの間の距離は、前記第 1 のサイドウォールスペーサの幅の 2 倍よりも小さくされており、

前記第 1 および第 2 の積層ゲートの側壁には、前記第 1 積層ゲートと前記第 2 積層ゲートとの間の距離の $1/2$ よりも薄い厚みを有する第 2 のサイドウォールスペーサが形成されている、請求項 1 に記載の半導体装置。

【請求項 9】 基板の上に第 1 のゲートと第 2 のゲートを互いに離して形成する工程と、

前記第 1 および第 2 のゲートの側壁に、前記基板に応力がかからないように、その形状が選ばれたサイドウォールスペーサを形成する工程と、を備えた半導体装置の製造方法。

【請求項 10】 半導体基板の上にフローティングゲートとコントロールゲートが積層されてなる、第 1 積層ゲートと第 2 積層ゲートを、共通ソース領域を間に挟むように互いに離して形成する工程と、

前記第 1 積層ゲートおよび第 2 積層ゲートを覆うよう

に、前記半導体基板の上にサイドウォールスペーサ形成用絶縁膜を形成する工程と、

前記サイドウォールスペーサ形成用絶縁膜をエッチバックし、前記第1および第2の積層ゲートの、それぞれのドレイン領域側の側壁にサイドウォールスペーサを形成する工程と、

前記第1積層ゲートと前記第2積層ゲートの間に位置する、ソース側の、前記サイドウォールスペーサ形成用絶縁膜と分離酸化膜をセルフアラインで同時にエッチング除去する工程と、

前記フローティングゲートおよび前記コントロールゲートの側壁を酸化する工程と、を備えた、請求項9に記載の半導体装置の製造方法。

【請求項11】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を間に挟むように互いに離して形成する工程と、

前記フローティングゲートと前記コントロールゲートの側壁を酸化する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように、前記半導体基板の上にサイドウォールスペーサ形成用絶縁膜を形成する工程と、

前記サイドウォールスペーサ形成用絶縁膜をエッチバックし、前記第1および第2積層ゲートの、それぞれのドレイン側の側壁にサイドウォールスペーサを形成する工程と、

前記第1積層ゲートと前記第2積層ゲートの間に位置する、ソース側の、前記サイドウォールスペーサ形成用絶縁膜と分離酸化膜をセルフアラインで同時にエッチング除去する工程と、を備えた、請求項9に記載の半導体装置の製造方法。

【請求項12】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を間に挟むように互いに離して形成する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように、前記半導体基板の上にサイドウォールスペーサ形成用絶縁膜を形成する工程と、

前記サイドウォールスペーサ形成用絶縁膜をエッチバックし、前記第1積層ゲートおよび前記第2積層ゲートの、ソース領域およびドレイン領域側の側壁にそれぞれ、サイドウォールスペーサを形成する工程と、

前記フローティングゲートと前記コントロールゲートの側壁を酸化すると同時に、前記ソース領域および前記ドレイン領域の表面に熱酸化膜を形成する工程と、を備えた請求項9に記載の半導体装置の製造方法。

【請求項13】 半導体基板の上に、第1、第2および第3ゲート電極を順次並べて互いに平行に形成する工程と、

前記第1、第2および第3ゲート電極を覆うように、前

記半導体基板の上にサイドウォールスペーサ形成用絶縁膜を形成する工程と、

前記第1ゲート電極と前記第2ゲート電極との間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを、前記半導体基板の上に形成する工程と、

前記レジストパターンをマスクにして、前記サイドウォールスペーサ形成用絶縁膜をエッチバックし、前記第1および第2のゲート電極の互いに向い合う側の両側壁に第1のサイドウォールスペーサを形成する工程と、

10 前記レジストパターンを除去し、残りのサイドウォールスペーサ形成用絶縁膜をエッチバックし、前記第1および第2のゲート電極の、互いに向い合わない側の両側壁に第2のサイドウォールスペーサを形成する工程と、を備え、

前記第1ゲート電極と前記第2ゲート電極との距離を、前記第2のサイドウォールスペーサの厚さの2倍よりも小さくして行なう、請求項9に記載の半導体装置の製造方法。

【請求項14】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように前記半導体基板の上に窒化膜を形成する工程と、

前記窒化膜をエッチバックし、前記第1および第2のゲート電極の、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する工程と、

前記第1積層ゲートと前記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを前記半導体基板の上に形成する工程と、

30 前記レジストパターンをマスクにして、前記第1積層ゲートと前記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する工程と、

前記フローティングゲートと前記コントロールゲートの側壁を酸化する工程と、を備えた請求項9に記載の半導体装置の製造方法。

【請求項15】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する工程と、

前記フローティングゲートおよび前記コントロールゲートの側壁を酸化する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように前記半導体基板の上に窒化膜を形成する工程と、

前記窒化膜をエッチバックし、前記第1および第2のゲート電極の、互いに向い合わない側の両側壁に、窒化膜のサイドウォールスペーサを形成する工程と、

40 前記第1積層ゲートと前記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパ

ターンを前記半導体基板の上に形成する工程と、
前記レジストパターンをマスクにして、前記第1積層ゲートと前記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する工程と、を備えた請求項9に記載の半導体装置の製造方法。

【請求項16】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートとを、共通ソース領域を挟むように互いに離して形成する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを被覆するように、プラズマ酸化膜またはCVD酸化膜を形成する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように前記半導体基板の上に窒化膜を形成する工程と、
前記窒化膜をエッチバックし、前記第1および第2の積層ゲートの、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する工程と、

前記第1積層ゲートと前記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを前記半導体基板の上に形成する工程と、

前記レジストパターンをマスクにして、前記第1積層ゲートと前記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する工程と、

前記フローティングゲートと前記コントロールゲートの側壁を酸化する工程と、を備えた請求項9に記載の半導体装置の製造方法。

【請求項17】 半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する工程と、

前記フローティングゲートとコントロールゲートの側壁を酸化する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを被覆するようにプラズマ酸化膜またはCVD酸化膜を形成する工程と、

前記第1積層ゲートおよび前記第2積層ゲートを覆うように前記半導体基板の上に窒化膜を形成する工程と、
前記窒化膜をエッチバックし、前記第1および第2の積層ゲートの、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する工程と、

前記第1積層ゲートと前記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを前記半導体基板の上に形成する工程と、

前記レジストパターンをマスクにして、前記第1積層ゲートと前記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する工程と、を備えた請求項9に記載の半導体装置の製造方法。

【請求項18】 半導体基板の上であって、周辺回路部に、ゲートを形成する工程と、

前記ゲートの側壁にサイドウォールスペーサを形成する工程と、

前記半導体基板の上であって、セル部に、フローティングゲートとコントロールゲートが積層されてなる第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように、互いに離して形成する工程とを備えた、請求項9に記載の半導体装置の製造方法。

10 【請求項19】 前記第1積層ゲートの両側壁および前記第2積層ゲートの両側壁に、前記サイドウォールスペーサの膜厚よりも薄く、かつ前記第1積層ゲートと前記第2積層ゲートの間の距離の1/2以下の膜厚を有する第2サイドウォールスペーサを形成する工程と、を備えた、請求項18に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般に、半導体装置に関するものであり、より特定的には、性能および信頼性を向上させることができるように改良された半導体装置に関する。この発明は、また、そのような半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の1種であるフラッシュメモリは、ダイナミックランダムアクセスメモリ(DRAM)より安価に製造できるため、次世代を担うメモリデバイスとして期待されている。

【0003】図59は、従来のフラッシュメモリのメモリセル部の断面図である。半導体基板1の表面に、ソース線に接続されるソース領域2と、対応したビット線に接続されるドレイン領域3が設けられている。半導体基板1の上に、トンネル酸化膜4を介在させて、情報を蓄積するためのフローティングゲート電極5が設けられている。フローティングゲート電極5の上に、コントロールゲート/フローティングゲート層間絶縁膜(一般に、酸化膜-窒化膜-酸化膜(ONO膜))6を介在させて、対応したワード線に接続されるコントロールゲート電極7が設けられている。

【0004】フローティングゲート電極5の直下に位置するトンネル酸化膜4のFN(Fowler-Nordheim)電流現象や、チャネルホットエレクトロン(CHE)現象等によって、フローティングゲート電極5に電子を注入するか、フローティングゲート電極5に蓄積された電子を引き抜くことにより、消去か書込がなされる。フローティングゲート電極5における電子の状態によって、しきい値の2値状態が作り出され、その状態によって「0」か「1」が読出されることになる。

【0005】このようなフラッシュメモリやEEPROMといったフローティングゲート型不揮発性半導体メモリにおいて、最も一般的に用いられているアレイ構成

は、NOR型アレイである。NOR型アレイは、各行のメモリセルのドレイン拡散層にコンタクトを形成し、メタル配線やポリサイド配線などでビット線を行方向に形成するものである。すなわち、NOR型アレイは、各列のメモリセルのゲート配線とビット線とをマトリックス状に形成するアレイ構成である。

【0006】図60は、NOR型アレイを示す回路図である。図61は、NOR型アレイのレイアウトを示す図である。

【0007】図62は図61におけるA-A線に沿う断面図である。図63は図61におけるB-B線に沿う断面図である。図64は、図61におけるC-C線に沿う断面図である。これらの図において、8はビット線コンタクト、9は活性領域、10は分離酸化膜、11は酸化膜を表わしている。

【0008】これらの図を参照して、各ブロック（たとえば512Kビットのメモリセルで構成される）のメモリセルのソース領域2はすべて接続される。このようにすべてのソース領域2を接続する際、セルフアラインソース構造を用いると、メモリセルの微細化に非常に有用である。

【0009】セルフアラインソース構造とは、各メモリセルのソース領域2の接続に際して、各メモリセルの拡散層にコンタクトを落とし、これらを金属配線により接続するというものではない。セルフアラインソース技術では、まず、図65を参照して、メモリセルのコントロールゲート電極7を形成した後に、ソース領域2のみを開口するように、レジスト12を形成する。レジスト12の端部は、コントロールゲート電極7の上に形成される。図65と図64を参照して、レジスト12とコントロールゲート電極7をマスク材として、ソース領域2に存在する分離酸化膜をエッチング除去する。さらに、ソース領域2に、Asなどを用い、イオン注入を行なう。これにより、各ソース領域2を列方向に拡散層で接続する。これらは、セルフアラインで形成される。なお、図64中、点線で示した部分は、エッチング除去された分離酸化膜を表わしている。

【0010】メモリセルのソース領域をすべて活性領域で形成し、これらを金属配線で接続する場合には、アライメント余裕が必要となり、ソース領域のゲート間隔は、大きくすることを余儀なくさせられる。しかし、セルフアラインソース技術では、メモリセルのソース領域をすべて活性領域で形成し、これらを拡散層で接続するため、メモリセルの、ソース領域を挟むゲートとゲートの間隔を、最小デザインルールで形成できる。ひいては、メモリセルの微細化が実現される。

【0011】

【発明が解決しようとする課題】しかしながら、近年の著しいデザインルールの縮小に伴い、セルフアラインソース構造を適用したフラッシュメモリにおいて、最小デ

ザインルールで形成可能な、メモリセルのソース領域を挟むゲートとゲートの間隔はますます狭くなってきている。

【0012】一方、フラッシュメモリの書込・消去には、コントロールゲート電極、ソースドレイン、および基板に、FNトンネル電源やCHEトンネル電流を発生させる必要がある。そのためには、たとえば、10V以上の高電圧が必要であり、その高電圧をハンドリングするために、DRAMやSRAMに使われている周辺トランジスタよりも高耐圧に耐え得る周辺トランジスタが必要である。

【0013】高耐圧トランジスタを実現するには、ソース／ドレイン構造の最適化と厚いサイドウォールスペーサが有効である。

【0014】一方、図66を参照して、微細化されたフラッシュメモリデバイスでは、高耐圧周辺回路を実現するために、厚いサイドウォールスペーサを用いると、セル内において、ゲートゲート間に挟まれた狭いソース領域2で、サイドウォールスペーサが埋込まれてしまう。したがって、その後の酸化や高温アニール時に、狭いソース領域2に埋込まれたサイドウォール絶縁膜の膨張／縮小によって、基板に応力が加わり、結果として、基板1に結晶欠陥13が発生する。ひいては、メモリセルのソース／ドレイン間にリークが生じ、デバイス性能を著しく低下させる。また、結晶欠陥13が、トンネル酸化膜4の下まで延びた場合には、Enduranceやリテンション等の信頼性が著しく低下したりする。

【0015】図67に、積層ゲートを形成した後、サイドウォールスペーサの形成までの、第1の従来技術のフローを示す。

【0016】図68を参照して、第1および第2積層ゲート20a、20bを形成する。図69を参照して、セルのソース部のみを開口するレジストパターン28を写真製版により形成する。レジストパターン28をマスクに用いて、分離酸化膜を除去するエッチングと、除去された部分を拡散層配線にするためのイオン注入を行ない、セルフアラインソースを完成させる。図70を参照して、レジストパターン28を除去する。図71を参照して、サイドウォールスペーサ形成用絶縁膜（以下、サイドウォール絶縁膜と略す）14を堆積する。その後、図72を参照して、フローティングゲートのソース端およびドレイン端を丸める目的で、フローティングゲート5およびコントロールゲート7の側壁酸化を行なう。図73を参照して、サイドウォール絶縁膜14をエッチバックする。

【0017】この従来技術の場合、図72を参照して、ソース領域2上の、ゲートゲート間に挟まれたサイドウォール絶縁膜14が、側壁酸化時の高温酸化熱処理（O₂中で800℃～900℃）によって、膨張／縮小し、ソース領域2の下に位置する基板部分に、応力スト

レスを与える。この応力により、図66に示したように、結晶欠陥13が生じる。

【0018】図74は、第2の従来技術を示すフローである。図75を参照して、第1および第2積層ゲート20a、20bを形成し、セルフアラインソース工程（写真製版+エッチング+イオン注入+レジスト除去）を終了する。その後、フローティングゲート5およびコントロールゲート7の側壁酸化を行なう。図76を参照して、サイドウォール絶縁膜を堆積し、これをエッチバックする。

【0019】この従来技術によれば、図66に示すような結晶欠陥は発生しない。しかしながら、図75を参照して、積層ゲート20a、20bのポリシリコンを剥き出して、これらの側壁酸化を行なうため、第1の従来技術に比べて、積層ゲート20a、20bのポリシリコンが多く酸化されてしまい、実質的なゲート長が短くなる。これによって、メモリセルのパンチスルーが生じる。また、フローティングゲートおよびコントロールゲートの側壁酸化量がポリシリコンの濃度差によって、ばらつき、メモリセルのカップリング比が低くなる。その結果、書込・消去速度の劣化を引き起こしてしまう。

【0020】また、上述の結晶欠陥の問題は、フラッシュメモリに限らず、通常のMOSトランジスタの製造の場合にも生じる。すなわち、図77を参照して、ゲート15とゲート16間の距離が、サイドウォール絶縁膜(CVD-SiO₂(TEOS))17で完全に埋まってしまう。このような構造では、後の高温熱処理により、サイドウォール絶縁膜17が膨張/縮小し、基板1に応力がかかり、結晶欠陥13が発生する。

【0021】この発明は、上記のような問題点を解決するためになされたもので、結晶欠陥を発生させずに、信頼性を向上させることができるように改良された半導体装置を提供することを目的とする。

【0022】この発明の他の目的は、信頼性を向上させることができるように改良されたフラッシュメモリを提供することにある。

【0023】この発明の他の目的は、信頼性を向上させることができるように改良されたMOSトランジスタを提供することにある。

【0024】この発明の他の目的は、そのような半導体装置の製造方法を提供することにある。

【0025】

【課題を解決するための手段】この発明の第1の局面に従う半導体装置は、基板の上に互いに離して設けられた第1のゲートと第2のゲートを備える。上記第1および第2のゲートの側壁に、上記基板に応力がかからないように、その形状が選ばれたサイドウォールスペーサが設けられている。

【0026】この発明の第2の局面に従う半導体装置は、半導体基板の上に設けられ、フローティングゲート

とコントロールゲートが積層されてなり、互いに離されて形成された第1積層ゲートと第2積層ゲートが設けられている。上記半導体基板の表面中であって、上記第1積層ゲートと上記第2積層ゲートの間にソース領域が設けられている。上記半導体基板の表面中であって、かつ上記第1積層ゲートを間に挟んで上記ソース領域の反対の側に第1のドレイン領域が設けられている。上記半導体基板の表面中であって、かつ上記第2積層ゲートを間に挟んで、上記ソース領域の反対側に第2のドレイン領域が設けられている。上記第1および第2積層ゲートの、ドレイン領域の側の側壁には、サイドウォールスペーサが設けられている。上記第1および第2積層ゲートの、上記ソース領域の側の側壁にはサイドウォールスペーサが設けられていない。

【0027】この発明の第3の局面に従う半導体装置は、半導体基板の上に設けられ、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第1積層ゲートと第2積層ゲートを備える。上記半導体基板の表面中であって、上記第1積層ゲートと上記第2積層ゲートの間にソース領域が設けられている。上記半導体基板の表面中であって、かつ上記第1積層ゲートを間に挟んで、上記ソース領域の反対側に第1のドレイン領域が設けられている。上記半導体基板の表面中であって、かつ上記第2積層ゲートを間に挟んで、上記ソース領域の反対側に第2のドレイン領域が設けられている。上記第1積層ゲートの両側壁に、第1のサイドウォールスペーサが設けられている。上記第2積層ゲートの両側壁に、第2のサイドウォールスペーサが設けられている。上記第1および第2のサイドウォールスペーサの直下、上記ソース領域の表面および上記第1および第2ドレイン領域の表面には熱酸化膜が存在する。

【0028】この発明の第4の局面に従う半導体装置は、半導体基板の上に互いに平行に順次並んで設けられた第1、第2および第3ゲート電極を備える。上記第1ゲート電極と上記第2ゲート電極との距離は、上記第2ゲート電極と上記第3ゲート電極との距離よりも狭くされている。上記第2ゲート電極の、上記第3ゲート電極側の側壁にはサイドウォールスペーサが設けられている。上記第1ゲート電極と上記第2ゲート電極との距離は、上記サイドウォールスペーサの膜厚の2倍よりも小さくされている。

【0029】この発明の第5の局面に従う半導体装置においては、上記サイドウォールスペーサは、窒化膜で形成されており、上記第1および第2のドレイン領域のそれぞれに接続されるコンタクトホールがセルフアライン的に形成されている。

【0030】この発明の第6の局面に従う半導体装置においては、上記窒化膜のサイドウォールスペーサは、上記第1および第2ゲート電極のそれぞれの側壁に、バツ

11

ファ層を介在させて設けられている。上記窒化膜のサイドウォールスペースは、上記半導体基板の上にバッファ層を介在させて設けられている。

【0031】この発明の第7の局面に従う半導体装置は、ゲート電極を有する周辺回路部と、セル部とを備える。上記セル部は、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第1積層ゲートと第2積層ゲートを有する。上記ゲート電極の側壁にサイドウォールスペースが設けられている。上記第1積層ゲートと上記第2積層ゲートとの間の距離は、上記サイドウォールスペースの幅の2倍よりも小さくされている。上記第1および第2積層ゲートの側壁には、サイドウォールスペースが形成されていない。

【0032】この発明の第8の局面に従う半導体装置は、ゲート電極を有する周辺回路部とセル部とを備える。上記セル部は、フローティングゲートとコントロールゲートが積層されてなり、互いに離されて形成された第1積層ゲートと第2積層ゲートを有する。上記ゲート電極の側壁に、第1のサイドウォールスペースが設けられている。上記第1積層ゲートと上記第2積層ゲートとの間の距離は、上記第1のサイドウォールスペースの幅の2倍よりも小さくされている。上記第1および第2の積層ゲートの側壁には、上記第1積層ゲートと上記第2積層ゲートとの間の距離の1/2よりも薄い厚みを有する第2のサイドウォールスペースが形成されている。

【0033】この発明の第9の局面に従う半導体装置の製造方法においては、まず、基板の上に、第1のゲートと第2のゲートを互いに離して形成する。上記第1および第2のゲートの側壁に、上記基板に応力がかからないように、その形状が選ばれたサイドウォールスペースを形成する。

【0034】この発明の第10の局面に従う半導体装置の製造方法においては、まず、半導体基板の上にフローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を間に挟むように互いに離して形成する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように、上記半導体基板の上にサイドウォールスペース形成用絶縁膜を形成する。上記サイドウォール形成用絶縁膜をエッチバックし、上記第1および第2の積層ゲートの、それぞれのドレイン領域側の側壁にサイドウォールスペースを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する、ソース側の、上記サイドウォールスペース形成用絶縁膜と分離酸化膜をセルフアラインで同時にエッチング除去する。上記フローティングゲートおよび上記コントロールゲートの側壁を酸化する。

【0035】この発明の第11の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領

12

域を間に挟むように互いに離して形成する。上記フローティングゲートと上記コントロールゲートの側壁を酸化する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように、上記半導体基板の上にサイドウォールスペース形成用絶縁膜を形成する。上記サイドウォールスペース形成用絶縁膜をエッチバックし、上記第1および第2積層ゲートの、それぞれのドレイン側の側壁にサイドウォールスペースを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する、ソース側の、上記サイドウォールスペース形成用絶縁膜と分離酸化膜をセルフアラインで同時にエッチング除去する。

【0036】この発明の第12の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を間に挟むように互いに離して形成する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように、上記半導体基板の上にサイドウォールスペース形成用絶縁膜を形成する。上記サイドウォールスペース形成用絶縁膜をエッチバックし、上記第1積層ゲートおよび上記第2積層ゲートの、ソース領域およびドレイン領域側の側壁にそれぞれ、サイドウォールスペースを形成する。上記フローティングゲートと上記コントロールゲートの側壁を酸化すると同時に、上記ソース領域および上記ドレイン領域の表面に熱酸化膜を形成する。

【0037】この発明の第13の局面に従う半導体装置の製造方法においては、半導体基板の上に、第1、第2および第3ゲート電極を順次並べて互いに平行に形成する。上記第1、第2および第3ゲート電極を覆うように、上記半導体基板の上にサイドウォールスペース形成用絶縁膜を形成する。上記第1ゲート電極と上記第2ゲート電極との間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを、上記半導体基板の上に形成する。上記レジストパターンをマスクにして、上記サイドウォールスペース形成用絶縁膜をエッチバックし、上記第1および第2のゲート電極の互いに向い合う側の両側壁に第1のサイドウォールスペースを形成する。上記レジストパターンを除去し、残りのサイドウォールスペース形成用絶縁膜をエッチバックし、上記第1および第2のゲート電極の、互いに向い合わない側の両側壁に第2のサイドウォールスペースを形成する。上記第1ゲート電極と上記第2ゲート電極との距離を、上記第2のサイドウォールスペースの厚さの2倍よりも小さくして行なう。

【0038】この発明の第14の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように、上記半導

10

20

30

40

50

体基板の上に窒化膜を形成する。上記窒化膜をエッチバックし、上記第1および第2のゲート電極の、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを上記半導体基板の上に形成する。上記レジストパターンをマスクにして、上記第1積層ゲートと上記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する。上記フローティングゲートと上記コントロールゲートの側壁を酸化する。

【0039】この発明の第15の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する。上記フローティングゲートおよび上記コントロールゲートの側壁を酸化する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように上記半導体基板の上に窒化膜を形成する。上記窒化膜をエッチバックし、上記第1および第2のゲート電極の、互いに向い合わない側の両側壁に、窒化膜のサイドウォールスペーサを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する部分を露出させ、その他の部分を覆うレジストパターンを上記半導体基板の上に形成する。上記レジストパターンをマスクにして、上記第1積層ゲートと上記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する。

【0040】この発明の第16の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてなる、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する。上記第1積層ゲートおよび上記第2積層ゲートを被覆するように、プラズマ酸化膜またはCVD酸化膜を形成する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように、上記半導体基板の上に窒化膜を形成する。上記窒化膜をエッチバックし、上記第1および第2の積層ゲートの、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを上記半導体基板の上に形成する。上記レジストパターンをマスクにして、上記第1積層ゲートと上記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する。上記フローティングゲートと上記コントロールゲートの側壁を酸化する。

【0041】この発明の第17の局面に従う半導体装置の製造方法においては、まず、半導体基板の上に、フローティングゲートとコントロールゲートが積層されてな

る、第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように互いに離して形成する。上記フローティングゲートとコントロールゲートの側壁を酸化する。上記第1積層ゲートおよび上記第2積層ゲートを被覆するように、プラズマ酸化膜またはCVD酸化膜を形成する。上記第1積層ゲートおよび上記第2積層ゲートを覆うように上記半導体基板の上に窒化膜を形成する。上記窒化膜をエッチバックし、上記第1および第2の積層ゲートの、互いに向い合わない側の両側壁に窒化膜のサイドウォールスペーサを形成する。上記第1積層ゲートと上記第2積層ゲートの間に位置する部分を露出させ、かつその他の部分を覆うレジストパターンを上記半導体基板の上に形成する。上記レジストパターンをマスクにして、上記第1積層ゲートと上記第2積層ゲートの間に位置する部分に存在する、ソース側の、窒化膜と分離酸化膜をエッチング除去する。

【0042】この発明の第18の局面に従う半導体装置の製造方法においては、まず、半導体基板の上であって、周辺回路部にゲートを形成する。上記ゲートの側壁にサイドウォールスペーサを形成する。上記半導体基板の上であって、セル部に、フローティングゲートとコントロールゲートが積層されてなる第1積層ゲートと第2積層ゲートを、共通ソース領域を挟むように、互いに離して形成する。

【0043】この発明の第19の局面に従う方法は、上記第1積層ゲートの両側壁および上記第2積層ゲートの両側壁に、上記サイドウォールスペーサの膜厚よりも薄く、かつ上記第1積層ゲートと上記第2積層ゲートの間の距離の1/2以下の膜厚を有する第2サイドウォールスペーサを形成する。

【0044】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

【0045】実施の形態1

図1は、実施の形態1に係るNOR型フラッシュメモリの断面図である。

【0046】半導体基板1の上に、トンネル酸化膜4a、4bを介在させて、フローティングゲート電極5a、5bとコントロールゲート7a、7bが積層されてなる、第1積層ゲート20aと第2積層ゲート20bが設けられている。第1および第2積層ゲート20a、20bの上には、WSi層とTEOS層が設けられている。半導体基板1の表面中であって、第1積層ゲート20aと第2積層ゲート20bの間に、ソース領域2が設けられている。

【0047】半導体基板1の表面中であって、第1積層ゲート20aを間に挟んで、ソース領域2の反対側に第1のドレイン領域3aが設けられている。半導体基板1の表面中であって、第2積層ゲート20bを間に挟んで、ソース領域2の反対側に、第2のドレイン領域3b

が設けられている。第1および第2の積層ゲート20a, 20bの、ドレイン領域3a, 3b側の側壁には、サイドウォールスペーサ18が設けられている。第1および第2積層ゲート20a, 20bの、ソース領域2の側の側壁には、サイドウォールスペーサが設けられていない。

【0048】第1および第2積層ゲート20a, 20bを被覆するように、半導体基板1の上に、CVD酸化膜(CVD・SiO₂(TEOS))21が設けられている。第1および第2積層ゲート20a, 20bを覆うように、BPSG(Boro Phospho Silicate Glass)で形成された層間絶縁膜22が半導体基板1の上に設けられている。層間絶縁膜22の上には、CVD酸化膜23が設けられている。CVD酸化膜(CVD・SiO₂(TEOS))23および層間絶縁膜22中に、第1および第2ドレイン領域3a, 3bに達するコンタクトホール24が設けられている。

【0049】コンタクトホール24の内壁面に接触するように、かつ、第1および第2ドレイン領域3a, 3bに接触するように、TiN膜25が形成されている。コンタクトホール24内に、Wプラグ26が埋込まれている。Wプラグ26に接続されるように、Al配線27が、半導体基板1の上に設けられている。

【0050】実施の形態1に係るNOR型フラッシュメモリによれば、第1および第2積層ゲート20a, 20bの、ソース領域2の側の側壁にはサイドウォールスペーサが設けられていないので、酸化工程、高温熱処理工程を経ても、半導体基板に応力がかからず、半導体基板1には、結晶欠陥が発生しなくなる。ひいては、フラッシュメモリの性能、信頼性が向上する。

【0051】以下、図1に示すフラッシュメモリの製造方法について説明する。図2は、図1に示すフラッシュメモリの製造方法のプロセスフローを示す図である。

【0052】まず、従来例と同様に、図68までの工程を経由し、第1積層ゲート20a, 20bを形成する。

【0053】図3を参照して、第1積層ゲート20a, 20bを覆うように、半導体基板1の上にサイドウォール絶縁膜(CVD-SiO₂)14を堆積する。

【0054】図4を参照して、サイドウォール絶縁膜14をエッチバックし、第1および第2の積層ゲート20a, 20bのそれぞれのドレイン領域3a, 3b側の側壁に、サイドウォールスペーサ18を形成する。

【0055】図5を参照して、セルフアラインソースを形成するための開口部28aを有するフォトレジスト膜28を、写真製版により形成する。図5と図6を参照して、フォトレジスト膜28をマスクにして、セルフアラインソースのエッチングを行ない、ソース2側の、サイドウォール絶縁膜14と分離絶縁膜を除去する。次いで、セルフアラインソース工程を完了させる。なお、ここで、セルフアラインソース工程とは、図2と図64と

図65を参照して、写真製版+サイドウォール絶縁膜のエッチング+分離酸化膜のドライエッチング+イオン注入+レジストパターンの除去を含む。

【0056】図7を参照して、フローティングゲート電極5とコントロールゲート電極7の側壁酸化を行なうので、これらのエッジを丸める。このとき、ソース2側は、フローティングゲート電極5およびコントロールゲート電極7が剥き出しの状態で、ドレイン3a, 3b側は、サイドウォールスペーサ18越しに側壁酸化を行なうので、ソース2側の方がドレイン3a, 3b側よりも側壁の酸化量が多くなり、丸めの程度がより大きくなる。その結果、CHE書込の効率劣化は起こさない。また、NOR消去における、フローティングゲート電極のソース端エッジのデバイスに与える影響(たとえば、VTH分布幅の拡大、信頼性の低下等)を低減できる。

【0057】また、図5、図6および図7を参照して、ソース側のサイドウォール絶縁膜14を除去した後に、側壁酸化を行なうので、半導体基板1に応力がかからず、半導体基板1中に結晶欠陥は発生しない。

20 【0058】実施の形態2

本実施の形態は、実施の形態1に係るNOR型フラッシュメモリの製造方法の変形例である。本実施の形態に係る方法で得られたフラッシュメモリの断面図は、図1に示すものと同じである。

【0059】実施の形態2に係るプロセスフローを、図8に示す。まず従来技術と同じように、図68までの工程を経由して、第1および第2の積層ゲート20a, 20bを形成する。

【0060】続いて、図9を参照して、フローティングゲート電極5およびコントロールゲート電極7の側壁を酸化する。

【0061】図10を参照して、第1および第2積層ゲート20a, 20bを覆うように、半導体基板1の上に、サイドウォール絶縁膜14を堆積する。

【0062】図11を参照して、サイドウォール絶縁膜14をエッチバックし、第1および第2積層ゲート20a, 20bのそれぞれのドレイン領域3a, 3b側の側壁にサイドウォールスペーサ18を形成する。

【0063】図12を参照して、セルフアラインソースを形成するための開口部28aを有するフォトレジスト膜28を、写真製版技術により形成する。

【0064】図12と図13を参照して、フォトレジスト膜28をマスクにして、セルフアラインソース部分のエッチングを行なうので、ソース2側のサイドウォール絶縁膜14と分離絶縁膜を除去する。次いで、セルフアラインソース工程を完了させる。

【0065】本実施の形態によれば、図9を参照して、フローティングゲート5およびコントロールゲート電極7を剥き出した状態で、それらの側壁酸化を行なうので、ソース側とドレイン側のそれぞれの電極の丸めの程

度は等しくなる。したがって、ドレインエッジで、放電 (discharge) するフラッシュメモリでは、信頼性がより高くなる。

【0066】実施の形態3

図14は、実施の形態3に係るNOR型フラッシュメモリの断面図である。図14に示すフラッシュメモリは、以下の点を除いて、図1に示すフラッシュメモリと同一であるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【0067】図14のフラッシュメモリと、図1のフラッシュメモリとの異なる点は、第1および第2積層ゲート20a、20bのソース領域2の側の側壁にも、サイドウォールスペーサ181が設けられていることである。ドレイン3a、3b側のサイドウォールスペーサ18とソース側のサイドウォールスペーサ181の形状は異なっている。また、サイドウォールスペーサ18の直下に熱酸化膜29が存在し、ソース領域2の表面にも、熱酸化膜29が存在する。サイドウォールスペーサ18の直下の熱酸化膜29は、ドレイン領域3a、3bの表面全面に延びて形成されている。

【0068】ソース領域2の表面に、熱酸化膜29が形成されているので、ソース2側の半導体基板1の表面に、結晶欠陥が発生するのが抑制される。また、熱酸化膜29は、サイドウォールスペーサ18の直下のみならず、ドレイン領域3a、3bの表面に広く延びて形成されている。したがって、ドレイン領域3a、3bの表面に生じている、高濃度イオン注入による注入ダメージ（および、高濃度イオン注入によってアモルファス化された基板）が後の熱処理によって再結晶化する際に生じる結晶欠陥の発生が、抑制される。つまり、本実施の形態では、ソース2側のみでなく、ドレイン3a、3b側の結晶欠陥の発生も抑制できる。

【0069】次に、図14に示すフラッシュメモリの製造方法について説明する。図15は、図14に示すフラッシュメモリの製造方法のプロセスフローを示す図である。

【0070】まず、図71に示すまでの従来工程と同様の工程を経由する。次に、図71と図16を参照して、サイドウォール絶縁膜14をエッチバックし、第1積層ゲート20aおよび第2積層ゲート20bの、ソース領域2およびドレイン領域3a、3b側の側壁にそれぞれ、サイドウォールスペーサ18、181を形成する。このとき、第1積層ゲート20aと第2積層ゲート20bとの間隔は狭いので、サイドウォールスペーサ18の幅とサイドウォールスペーサ181の幅は異なってくる。

【0071】図17を参照して、フローティングゲート電極5とコントロールゲート電極7の側壁を酸化する。このとき、サイドウォールスペーサ18の下に熱酸化膜29が形成され、ソース領域2の表面にも熱酸化膜29

が形成される。また、サイドウォールスペーサ18の直下に形成された熱酸化膜29は、ドレイン領域3a、3bの表面に延びるように形成される。その後、所定の工程を経ることによって、図14の装置が形成される。

【0072】実施の形態4

図18は、実施の形態4に係る、MOSトランジスタの断面図である。

【0073】図18を参照して、半導体基板1の上に、第1ゲート電極31および第2ゲート電極32が設けられている。第2ゲート電極32の隣に第3ゲート電極（図示せず）が、互いに平行に設けられている。第1のゲート電極31と第2のゲート電極32との距離は、第2ゲート電極32と図示しない第3ゲート電極との距離よりも狭くされている。第2ゲート電極32の、第3ゲート電極側の側壁にはサイドウォールスペーサ33が設けられている。第1ゲート電極31と第2ゲート電極32との距離は、サイドウォールスペーサ33の膜厚の2倍よりも小さくされている。

【0074】第1ゲート電極31と第2ゲート電極32の、互いに向かい合う側の側壁には、サイドウォールスペーサ33の幅よりも狭い幅を有するサイドウォールスペーサ34が設けられている。サイドウォールスペーサ33、34の形状を、このように選ぶことにより、半導体基板1に応力がかからないようになる。ひいては、基板1に、結晶欠陥が発生するのを抑制することができる。

【0075】なお、サイドウォールスペーサ33、34は、CVD-SiO₂ (TEOS) で形成される。

【0076】次に、図18に示すMOSトランジスタの製造方法について説明する。図19および図20は、図18に示すMOSトランジスタを製造するためのプロセスフローを示す図である。

【0077】図21を参照して、半導体基板1の上に、ゲート絶縁膜35を介在させて、第1ゲート電極31と第2ゲート電極32および、その隣に、第3ゲート電極（図示せず）を互いに平行に形成する。第1ゲート電極31および第2ゲート電極32および第3ゲート電極を覆うように、半導体基板1の上にサイドウォール絶縁膜14を形成する。第1ゲート電極31と第2ゲート電極32との間に位置する部分を露出させて、かつその他の部分を覆うフォトリソパターン37を、半導体基板1の上に形成する。フォトリソパターン37をマスクにして、サイドウォール絶縁膜14をエッチバックし、第1および第2のゲート電極31、32の、互いに向かい合う側の両側壁に第1のサイドウォールスペーサ34、34を形成する。

【0078】図23と図24を参照して、フォトリソパターン37を除去し、残りのサイドウォール絶縁膜14をエッチバックし、第1および第2ゲート電極31、32の、互いに向かい合わない側の両側壁に、第2

のサイドウォールスペース 33, 33 を形成する。本実施の形態では、第 1 ゲート電極 31 と第 2 ゲート電極 32 との距離を、第 2 のサイドウォールスペース 33 の厚さの 2 倍よりも小さくして行なうことが特徴である。

【0079】図 25～図 28 は、本実施の形態に係る MOS トランジスタの他の製造方法の工程を示す図である。まず、図 21 および図 22 に示す工程と同様の工程を経由する。

【0080】図 25 を参照して、サイドウォール絶縁膜 14 を図 23 のようにエッチバックする代わりに、異方性のドライエッチングを行ない、第 1 のゲート電極 31 と第 2 のゲート電極 34 の、互いに向かい合う側の側壁に、サイドウォールスペースを形成しないようにしてもよい。

【0081】図 26 を参照して、フォトリジストパターン 37 を除去し、残りのサイドウォール絶縁膜 14 をエッチバックし、第 1 および第 2 のゲート電極 31, 32 の、互いに向かい合わない側の両側壁にサイドウォールスペース 33 を形成する。

【0082】また、変形例として、図 22 に示す写真製版工程の前に、図 21 と図 27 を参照して、サイドウォール絶縁膜 14 のエッチバックを行ない、その後、図 28 を参照して、写真製版技術により、第 1 ゲート電極 31 と第 2 ゲート電極 32 との間に位置する部分を露出させて、かつその他の部分を覆うフォトリジストパターン 37 を、半導体基板 1 の上に形成する。その後、二度目のエッチバックを行ない、フォトリジストパターン 37 を除去する。すると、図 24 と同様の構造が得られる。

【0083】実施の形態 5

図 29 は、実施の形態 5 に係る NOR 型フラッシュメモリの断面図である。

【0084】図 29 に示す NOR 型フラッシュメモリは、図 1 に示す NOR 型フラッシュメモリとは、以下の点を除いて同一であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【0085】図 29 の装置が図 1 の装置と異なる点は、第 1 積層ゲート 20a と第 2 積層ゲート 20b のドレイン側に形成されたサイドウォールスペース 18, 18 が窒化膜で形成されている点であり、かつ、コンタクト 40, 40 がセルフアラインに形成されている点である。このように構成することにより、後の酸化工程、高温熱処理工程時に発生するソース 2 側の結晶欠陥を抑制できる。さらに、ドレイン側では、セルフアラインコンタクトが実現できるので、ドレイン側のゲート-ゲート間距離を小さくすることができ、ひいてはフラッシュメモリのセルサイズをさらに微細化できる。

【0086】次に、図 29 に示す NOR 型フラッシュメモリの製造方法について説明する。図 30 は、図 29 に示すフラッシュメモリの製造のためのプロセスフローを示す図である。

【0087】まず、従来の図 68 に示すまでの工程と同様の工程を経由する。図 31 を参照して、第 1 積層ゲート 20a と第 2 積層ゲート 20b を覆うように、窒化膜 (SiN) 41 を堆積する。

【0088】図 31 と図 32 を参照して、窒化膜 41 のエッチバックを行なって、第 1 積層ゲート 20a および第 2 積層ゲート 20b のドレイン領域 3a, 3b 側の側壁に、窒化膜のサイドウォールスペース 18, 18 を形成する。

【0089】図 33 を参照して、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分を露出させ、かつその他の部分を覆うフォトリジストパターン 37 を半導体基板 1 の上に形成する。図 33 と図 34 を参照して、フォトリジストパターン 37 をマスクにして、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分に存在する、ソース側の、窒化膜 41 と分離酸化膜 (図示せず) をエッチング除去する。次いで、セルフアラインソース工程を完了させる。その後、フォトリジストパターン 37 を除去する。

【0090】図 34 と図 35 を参照して、フローティングゲート電極 5 とコントロールゲート電極 7 の側壁を酸化し、これらのエッジを丸める。このとき、ソース領域 2 側は、フローティングゲート電極 7 およびコントロールゲート電極 7 が剥き出しの状態で、一方、ドレイン側は、窒化膜のサイドウォールスペース 18 越しに側壁酸化を行なうので、ソース領域 2 側の方がドレイン領域 3a, 3b 側よりも側壁の酸化量が多くなり、丸めの程度が大きくなる。以下、所定の工程を経由することによって、図 29 装置が実現される。

【0091】実施の形態 6

本実施の形態も、図 29 に示す NOR 型フラッシュメモリの他の製造方法に係る。

【0092】図 36 は、実施の形態 6 に係る製造方法のプロセスフローを示す図である。まず、図 68 に示す従来の工程と、同様の工程を経由する。その後、フローティングゲート電極 5 およびコントロールゲート電極 7 の側壁を酸化する。

【0093】図 37 を参照して、第 1 積層ゲート 20a および第 2 積層ゲート 20b を覆うように、半導体基板 1 の上に窒化膜 (SiN) 41 を堆積する。

【0094】図 37 と図 38 を参照して、窒化膜 41 をエッチバックし、第 1 および第 2 ゲート電極 20a, 20b の、互いに向かい合わない側の両側壁に窒化膜のサイドウォールスペース 18, 18 を形成する。

【0095】図 39 を参照して、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分を露出させ、かつその他の部分を覆うフォトリジストパターン 37 を半導体基板 1 の上に形成する。フォトリジストパターン 37 をマスクにして、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分に存在する、ソー

ス側の、窒化膜 41 と分離酸化膜をエッチング除去する。その後、セルフアラインソース工程を完了させる。

【0096】本実施の形態によれば、フローティングゲート電極 5 およびコントロールゲート電極 7 を剥き出しの状態で、それらの側壁酸化を行なうので、ソース側とドレイン側の丸めの程度は等しくなる。

【0097】実施の形態 7

図 40 は、実施の形態 7 に係る NOR 型フラッシュメモリの断面図である。なお、図 40 装置において、図 1 に示す装置と同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【0098】本実施の形態に係る NOR 型フラッシュメモリによれば、第 1 積層ゲート 20a および第 2 積層ゲート 20b のソース側の側壁には、サイドウォールスペーサが存在しない。第 1 積層ゲート 20a および第 2 積層ゲート 20b のドレイン側の側壁には、窒化膜のサイドウォールスペーサ 18 が存在する。窒化膜のサイドウォールスペーサ 18 は、第 1 および第 2 のゲート電極 20a、20b の側壁に、バッファ層（プラズマ酸化膜あるいは CVD 酸化膜で形成される）42 を介在させて設けられている。また、バッファ層 42 は、サイドウォールスペーサ 18 と半導体基板 1 の間にも形成されている。また、コンタクト 40 はセルフアライン的に形成されている。

【0099】本実施の形態によれば、後の酸化工程、高温熱処理工程で発生する、ソース領域 2 側の結晶欠陥の発生を抑制できる。さらに、サイドウォールスペーサ 18 と半導体基板 1 との間に発生する応力による、界面順位の発生を抑制できる。さらに、ドレイン領域 3a、3b 側では、セルフアラインコンタクトを実現できるので、ドレイン領域 3a、3b 側のゲート-ゲート間距離を小さくすることができ、ひいては、フラッシュメモリのセルサイズをさらに微細化することができる。また、プラズマ酸化膜をバッファ層 42 にすると、窒化膜より出てくる水素を、プラズマ酸化膜のダングリングボンドで終端できるので、高信頼性のフラッシュメモリが実現できる。

【0100】以下、図 40 に示す NOR 型フラッシュメモリの製造方法について説明する。図 41 に、図 40 に示す NOR 型フラッシュメモリの製造方法のプロセスフローを示す。

【0101】まず、図 68 までに示す従来工程と同様の工程を経由する。図 68 と図 42 を参照して、第 1 積層ゲート 20a および第 2 積層ゲート 20b を被覆するように、プラズマ酸化膜または CVD 酸化膜で形成されるバッファ層 42 を、半導体基板 1 の上に形成する。第 1 積層ゲート 20a および第 2 積層ゲート 20b を覆うように、半導体基板 1 の上に窒化膜 (SiN) 41 を形成する。

【0102】図 42 と図 43 を参照して、窒化膜 41 を

エッチバックし、第 1 および第 2 の積層ゲート電極 20a、20b の、互いに向かい合わない側の両側壁に窒化膜のサイドウォールスペーサ 18、18 を形成する。

【0103】図 44 を参照して、セルフアラインソース工程のための写真製版技術により、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分を露出させ、かつその他の部分を覆うフォトリソパターン 37 を、半導体基板 1 の上に形成する。

【0104】図 44 と図 45 を参照して、フォトリソパターン 37 をマスクにして、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分に存在する、ソース側の、窒化膜 41 と分離酸化膜（図示せず）をエッチング除去する。次いで、セルフアラインソース工程を完了させる。

【0105】図 46 を参照して、フローティングゲート電極 5 とコントロールゲート電極 7 の側壁を酸化し、これらのゲートの側壁を丸める。

【0106】このとき、ソース側は、フローティングゲート 5 およびコントロールゲート 7 が剥き出しの状態で、一方、ドレイン側は、サイドウォールスペーサ 18 越しに側壁酸化を行なうので、ソース側の方がドレイン側よりも、側壁酸化量が多くなり、丸めの程度が大きくなる。

【0107】実施の形態 8

図 47 は、実施の形態 8 に係る製造方法のプロセスフローを示す図である。

【0108】まず、図 68 に示す従来工程と同様の工程を経由する。その後、フローティングゲート 5 とコントロールゲート 7 の側壁酸化を行なう。

【0109】図 48 を参照して、第 1 積層ゲート 20a と第 2 積層ゲート 20b の側壁を被覆するように、プラズマ酸化膜あるいは CVD 酸化膜で、バッファ層 42 を形成する。第 1 積層ゲート 20a および第 2 積層ゲート 40b を覆うように、半導体基板 1 の上に窒化膜 41 を形成する。

【0110】図 48 と図 49 を参照して、窒化膜 41 をエッチバックし、第 1 および第 2 の積層ゲート 20a、29b の、互いに向かい合わない側の両側壁に、窒化膜のサイドウォールスペーサ 18、18 を形成する。

【0111】図 50 を参照して、セルフアラインソース工程のための写真製版を行ない、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分を露出させ、かつその他の部分を覆うフォトリソパターン 37 を半導体基板 1 の上に形成する。

【0112】フォトリソパターン 37 をマスクにして、第 1 積層ゲート 20a と第 2 積層ゲート 20b の間に位置する部分に存在する、ソース側の、窒化膜 41 と分離酸化膜（図示せず）をエッチング除去する。次いで、セルフアラインソース工程を完了させる。次に、所定の工程を経由することによって、図 40 に示す NOR

型フラッシュメモリを完成することができる。

【0113】本実施の形態8によれば、フローティングゲート5およびコントロールゲート7の側壁酸化を、こちらを剥き出しの状態で行なうので、これらの、ソース側とドレイン側の丸めの程度は等しくなる。

【0114】実施の形態9

図51は、実施の形態9に係るフラッシュメモリの断面図である。

【0115】図51を参照して、実施の形態9に係るフラッシュメモリは、周辺回路部43とセル部44とを備える。周辺回路部43はゲート電極45を有する。セル部44は、フローティングゲート5とコントロールゲート7が積層されてなり、互いに離されて形成された第1積層ゲート20aと第2積層ゲート20bを有する。ゲート電極45の側壁には、厚いサイドウォールスペーサ46が設けられている。サイドウォールスペーサ46を厚くするのは、周辺回路部では、高耐圧を必要とするからである。

【0116】第1積層ゲート20aと第2積層ゲート20bの間の距離は、周辺回路部のサイドウォールスペーサ46の幅の2倍よりも狭くされている。第1積層ゲート20aおよび第2積層ゲート20bのそれぞれの側壁には、サイドウォールスペーサが形成されていない。ゲート電極45、第1積層ゲート20aおよび第2積層ゲート20bを被覆するように、CVD-SiO₂膜47が、半導体基板1の上に形成されており、これらを被覆するように、BPSGから形成される層間絶縁膜48が設けられている。層間絶縁膜48の上に、CVD-SiO₂膜49が形成されている。CVD-SiO₂膜49と層間絶縁膜48を貫通するように、コンタクトホール50が形成されている。コンタクトホール50の側壁を被覆するように、TiN膜25が形成されている。コンタクトホール50内を、Wプラグ51が埋込んでいる。Wプラグ51に接触するように、Al配線27が、半導体基板1の上に形成されている。

【0117】実施の形態9に係る半導体装置によれば、セル部44の結晶欠陥の発生を抑制することができる。それによって、性能、信頼性のよいセルが実現できる。また、周辺回路部43では、厚い幅を有するサイドウォールスペーサ46が形成されているので、高耐圧の動作が可能となるトランジスタが得られる。

【0118】従来技術においては、セルと周辺回路部のゲート形成は、メモリセルのコントロールゲートと周辺のゲートを同時にエッチングし、その後、写真製版を用いて、セル部のみを開口し、次にコントロールゲートとレジストをマスクとして、フローティングゲートをエッチングし、これによって、積層ゲートを形成し、その後、セル部と周辺回路部のサイドウォールスペーサを同時に形成することにより行なっていた。あるいは、周辺回路部とセル部のエッチングを分けるフローとして、写

真製版を用いて、セル部を完全にレジストで覆い、周辺回路部のゲートのみがパターンニングされるようなマスクを用いていた。

【0119】このようなマスクを用い、エッチングを施し、周辺回路部のゲートを形成していた。次に、周辺回路部を完全に覆い、セル部のコントロールゲートのみがパターンニングされるようなマスクを用いて、写真製版を行ない、コントロールゲートとフローティングゲートを順次エッチングし、それによって、積層ゲートを形成していた。この方法では、セル部に結晶欠陥が発生し、性能および信頼性に劣る半導体装置が得られるという問題点があった。

【0120】本実施の形態は、このような問題点を解決するためになされたものである。図52を参照して、セル部のコントロールゲートおよび周辺回路部のゲートとなるポリシリコンを堆積する。その後、セル部を完全に覆い、かつ周辺回路部のみに、所望のゲートがパターンニングされるような、パターンを有する、フォトレジストパターン52を、基板1の上に写真製版により形成する。

【0121】図52と図53を参照して、フォトレジストパターン52をマスクにして、エッチングを行ない、周辺回路部のゲート45を形成する。

【0122】図54を参照して、サイドウォール絶縁膜を堆積し（図示せず）、これをエッチバックし、周辺回路部のみに、サイドウォールスペーサ46を形成する。

【0123】その後、図55を参照して、周辺回路部を完全にレジストで覆い（図示せず）、セル部のみ所望のゲートがパターンニングされるようなマスク（図示せず）を用いて、写真製版を行ない、コントロールゲート7のエッチングおよびフローティングゲート5のエッチングを順次行なう。その後、所定の工程を経て、図51に示す半導体装置を得る。

【0124】実施の形態10

図56は、実施の形態10に係るフラッシュメモリの断面図である。図56に示すフラッシュメモリは、図51に示すフラッシュメモリと以下の点を除いて、同一であるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【0125】図56を参照して、第1積層ゲート20aと第2積層ゲート20bとの間の距離は、第1のサイドウォールスペーサ46の幅の2倍よりも小さくされている。第1および第2の積層ゲート20a、20bの側壁には、第1積層ゲート20aと第2積層ゲート20bとの間の距離の1/2よりも薄い厚みを有する第2のサイドウォールスペーサ53が形成されている。

【0126】実施の形態10に係るフラッシュメモリによれば、セル部の結晶欠陥を抑制し、性能、信頼性のよいセルが実現できる。また、周辺回路部では、厚い幅を有するサイドウォールスペーサ46が形成されているの

で、高耐圧の動作が可能となるトランジスタとなる。さらに、セル部に、サイドウォールスペース 53 越しのイオン注入を行なうことができるため、図 51 装置と比べて、より高耐圧あるいはより低い寄生抵抗を有するセルを形成することができる。

【0127】以下、図 56 に示すフラッシュメモリの製造方法について説明する。まず、図 52～図 55 に示す工程と同様の工程を経由する。

【0128】次に、図 57 を参照して、1 回目のサイドウォール絶縁膜（サイドウォールスペース 46 を形成するためのもの）よりも薄く、かつセル部の最少のゲートゲート間距離の、 $1/2$ 以下の膜厚で、2 回目のサイドウォール絶縁膜 55 を堆積する。

【0129】図 57 と図 58 を参照して、サイドウォール絶縁膜 55 をエッチバックし、周辺回路部には厚いサイドウォールスペース 46 を形成し、セル部には、ゲートゲート間が埋込まれない程度の幅を有する、サイドウォールスペース 53 を形成する。その後、所定の工程を経ることによって、図 56 に示すフラッシュメモリが完成する。

【0130】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0131】

【発明の効果】以上説明したとおり、この発明によれば、サイドウォールスペースの形状を、基板に応力がかからないように選んでいるので、基板中に結晶欠陥は生じない。ひいては、デバイス特性に優れた半導体装置が得られる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係るフラッシュメモリの断面図である。

【図 2】 実施の形態 1 に係るフラッシュメモリを製造するためのプロセスフローを示す図である。

【図 3】 実施の形態 1 に係るフラッシュメモリの製造方法の順序の第 1 の工程における半導体装置の断面図である。

【図 4】 実施の形態 1 に係るフラッシュメモリの製造方法の順序の第 2 の工程における半導体装置の断面図である。

【図 5】 実施の形態 1 に係るフラッシュメモリの製造方法の順序の第 3 の工程における半導体装置の断面図である。

【図 6】 実施の形態 1 に係るフラッシュメモリの製造方法の順序の第 4 の工程における半導体装置の断面図である。

【図 7】 実施の形態 1 に係るフラッシュメモリの製造

方法の順序の第 5 の工程における半導体装置の断面図である。

【図 8】 実施の形態 2 に係るフラッシュメモリの製造工程のプロセスフローを示す図である。

【図 9】 実施の形態 2 に係るフラッシュメモリの製造方法の順序の第 1 の工程における半導体装置の断面図である。

【図 10】 実施の形態 2 に係るフラッシュメモリの製造方法の順序の第 2 の工程における半導体装置の断面図である。

【図 11】 実施の形態 2 に係るフラッシュメモリの製造方法の順序の第 3 の工程における半導体装置の断面図である。

【図 12】 実施の形態 2 に係るフラッシュメモリの製造方法の順序の第 4 の工程における半導体装置の断面図である。

【図 13】 実施の形態 2 に係るフラッシュメモリの製造方法の順序の第 5 の工程における半導体装置の断面図である。

【図 14】 実施の形態 3 に係るフラッシュメモリの断面図である。

【図 15】 実施の形態 3 に係るフラッシュメモリの製造工程のプロセスフローを示す図である。

【図 16】 実施の形態 3 に係るフラッシュメモリの製造方法の順序の第 1 の工程における半導体装置の断面図である。

【図 17】 実施の形態 3 に係るフラッシュメモリの製造方法の順序の第 2 の工程における半導体装置の断面図である。

【図 18】 実施の形態 4 に係る MOS トランジスタの断面図である。

【図 19】 実施の形態に係る MOS トランジスタの製造方法のプロセスフローを示す図である。

【図 20】 実施の形態 4 に係る MOS トランジスタの他の製造方法のプロセスフローを示す図である。

【図 21】 実施の形態 4 に係る MOS トランジスタの製造方法の順序の第 1 の工程における半導体装置の断面図である。

【図 22】 実施の形態 4 に係る MOS トランジスタの製造方法の順序の第 2 の工程における半導体装置の断面図である。

【図 23】 実施の形態 4 に係る MOS トランジスタの製造方法の順序の第 3 の工程における半導体装置の断面図である。

【図 24】 実施の形態 4 に係る MOS トランジスタの製造方法の順序の第 4 の工程における半導体装置の断面図である。

【図 25】 実施の形態 4 に係る MOS トランジスタの製造方法の順序の第 5 の工程における半導体装置の断面図である。

【図26】 実施の形態4に係るMOSトランジスタの製造方法の順序の第6の工程における半導体装置の断面図である。

【図27】 実施の形態4に係るMOSトランジスタの製造方法の変形例の順序の第1の工程における半導体装置の断面図である。

【図28】 実施の形態4に係るMOSトランジスタの製造方法の変形例の順序の第2の工程における半導体装置の断面図である。

【図29】 実施の形態5に係るフラッシュメモリの断面図である。

【図30】 実施の形態5に係るフラッシュメモリの製造方法のプロセスフローを示す図である。

【図31】 実施の形態5に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図32】 実施の形態5に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図33】 実施の形態5に係るフラッシュメモリの製造方法の順序の第3の工程における半導体装置の断面図である。

【図34】 実施の形態5に係るフラッシュメモリの製造方法の順序の第4の工程における半導体装置の断面図である。

【図35】 実施の形態5に係るフラッシュメモリの製造方法の順序の第5の工程における半導体装置の断面図である。

【図36】 実施の形態6に係るフラッシュメモリの製造方法のプロセスフローを示す図である。

【図37】 実施の形態6に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図38】 実施の形態6に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図39】 実施の形態6に係るフラッシュメモリの製造方法の順序の第3の工程における半導体装置の断面図である。

【図40】 実施の形態7に係るフラッシュメモリの断面図である。

【図41】 実施の形態7に係るフラッシュメモリの製造方法のプロセスフローを示す図である。

【図42】 実施の形態7に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図43】 実施の形態7に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図44】 実施の形態7に係るフラッシュメモリの製

造方法の順序の第3の工程における半導体装置の断面図である。

【図45】 実施の形態7に係るフラッシュメモリの製造方法の順序の第4の工程における半導体装置の断面図である。

【図46】 実施の形態7に係るフラッシュメモリの製造方法の順序の第5の工程における半導体装置の断面図である。

【図47】 実施の形態8に係るフラッシュメモリの製造方法のプロセスフローを示す図である。

【図48】 実施の形態8に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図49】 実施の形態8に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図50】 実施の形態8に係るフラッシュメモリの製造方法の順序の第3の工程における半導体装置の断面図である。

【図51】 実施の形態9に係るフラッシュメモリの断面図である。

【図52】 実施の形態9に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図53】 実施の形態9に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図54】 実施の形態9に係るフラッシュメモリの製造方法の順序の第3の工程における半導体装置の断面図である。

【図55】 実施の形態9に係るフラッシュメモリの製造方法の順序の第4の工程における半導体装置の断面図である。

【図56】 実施の形態10に係るフラッシュメモリの断面図である。

【図57】 実施の形態10に係るフラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

【図58】 実施の形態10に係るフラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図59】 従来のフラッシュメモリの断面図である。

【図60】 従来のNOR型フラッシュメモリのアレイ構成を示す図である。

【図61】 従来のNOR型フラッシュメモリの、アレイレイアウトを示す図である。

【図62】 図61におけるA-A線に沿う断面図である。

【図63】 図61におけるB-B線に沿う断面図である。

【図64】 図6.1におけるC-C線に沿う断面図である。

【図65】 セルフアラインソースを形成する方法を示す概念図である。

【図66】 従来のNOR型フラッシュメモリの問題点を示す図である。

【図67】 従来のNOR型フラッシュメモリの製造方法のプロセスフローを示す図である。

【図68】 従来のNOR型フラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

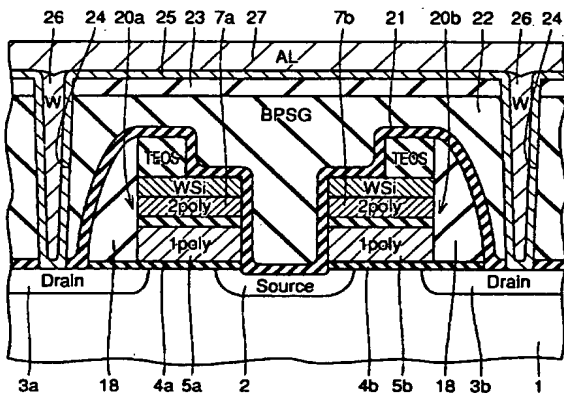
【図69】 従来のNOR型フラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図70】 従来のNOR型フラッシュメモリの製造方法の順序の第3の工程における半導体装置の断面図である。

【図71】 従来のNOR型フラッシュメモリの製造方法の順序の第4の工程における半導体装置の断面図である。

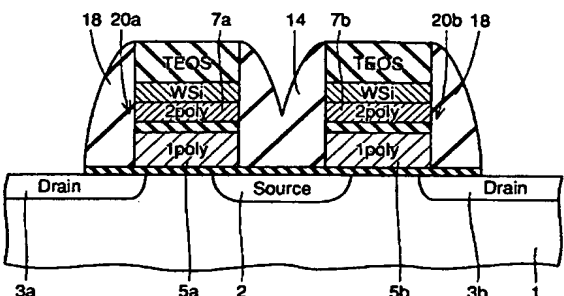
【図72】 従来のNOR型フラッシュメモリの製造方

【図1】



- 1: 半導体基板
3a, 3b: ドレイン領域
7a, 7b: コントロールゲート
20a: 第1積層ゲート
2: ソース領域
5a, 5b: フローティングゲート
18: サイドウォールスペーサ
20b: 第2積層ゲート

【図4】



法の順序の第5の工程における半導体装置の断面図である。

【図73】 従来のNOR型フラッシュメモリの製造方法の順序の第6の工程における半導体装置の断面図である。

【図74】 他の従来例に係るNOR型フラッシュメモリの製造方法のプロセスフローを示す図である。

【図75】 他の従来例に係るNOR型フラッシュメモリの製造方法の順序の第1の工程における半導体装置の断面図である。

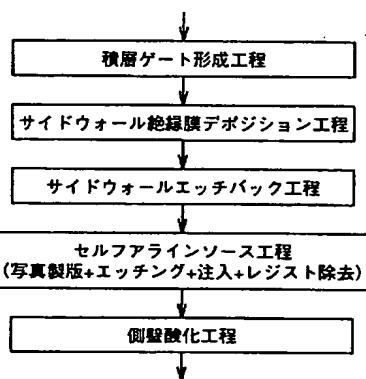
【図76】 他の従来例に係るNOR型フラッシュメモリの製造方法の順序の第2の工程における半導体装置の断面図である。

【図77】 従来のMOSトランジスタの問題点を示す図である。

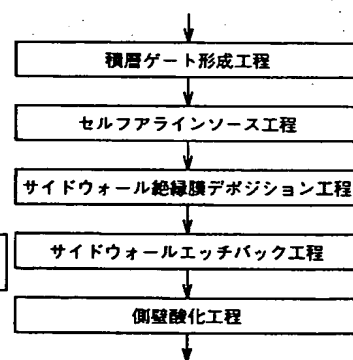
【符号の説明】

- 1 半導体基板、2 ソース領域、3 ドレイン領域、
5 フローティングゲート、7 コントロールゲート、
18 サイドウォールスペーサ、20a 第1積層ゲート、
20b 第2積層ゲート。

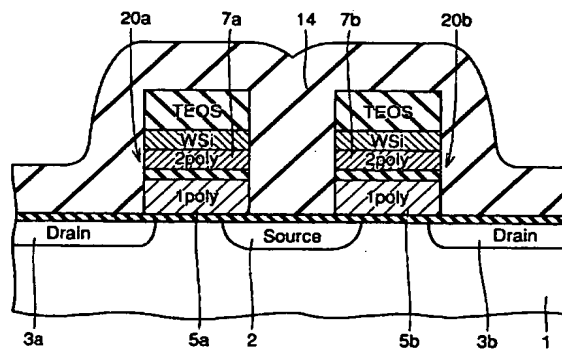
【図2】



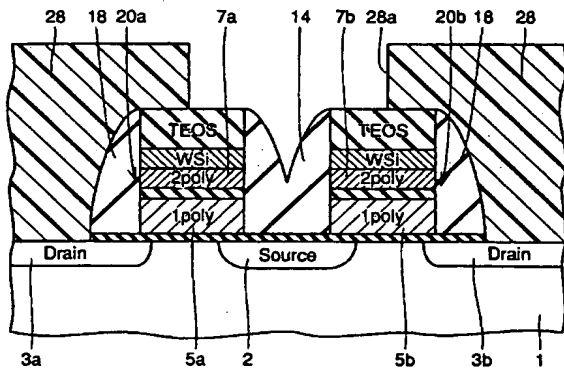
【図15】



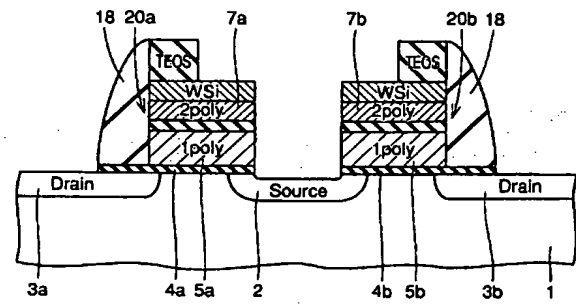
【図3】



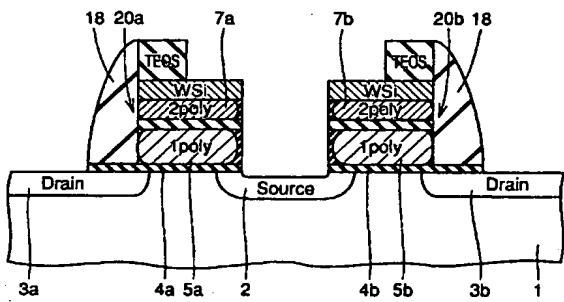
【図5】



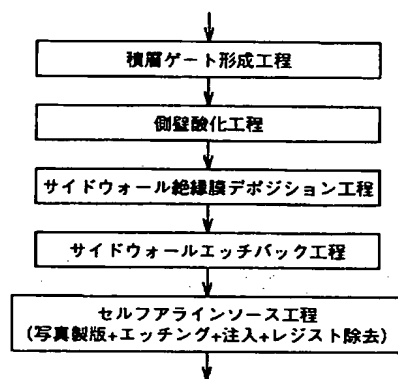
【図6】



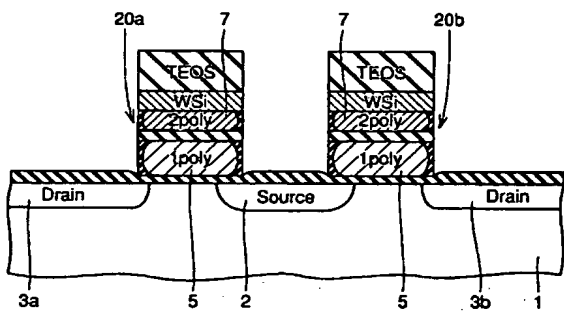
【図7】



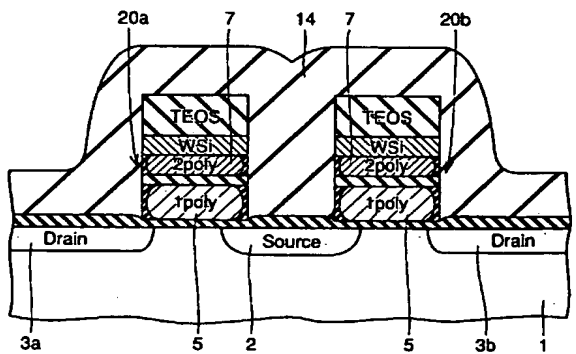
【図8】



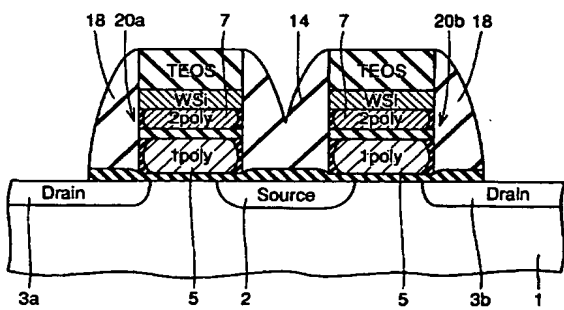
【図9】



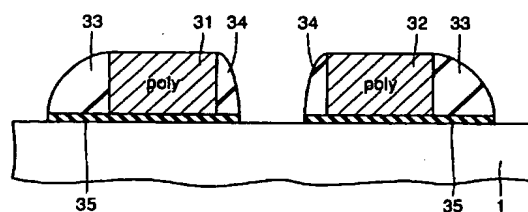
【図10】



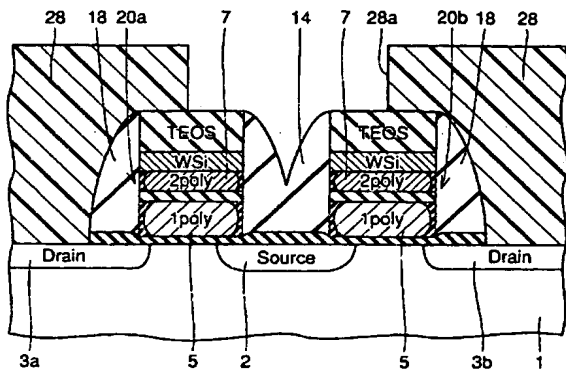
【図11】



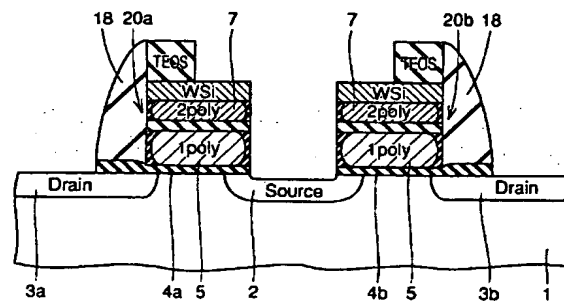
【図18】



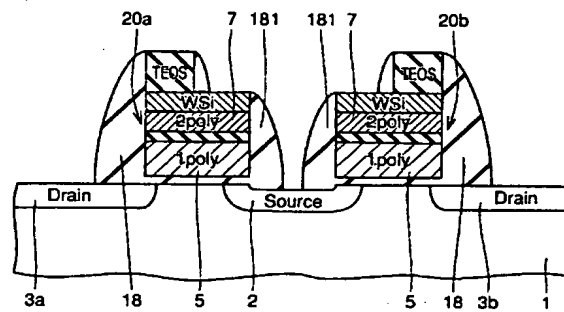
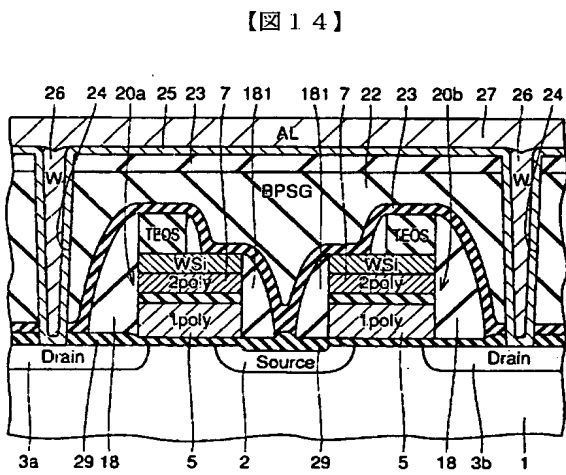
【図 12】



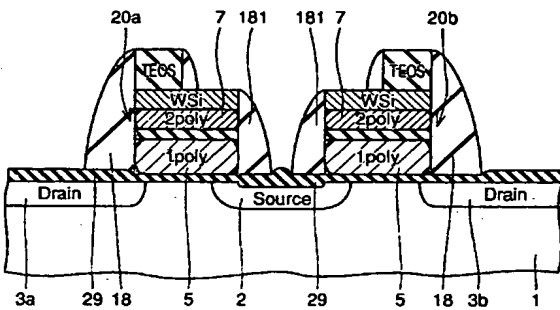
【図 13】



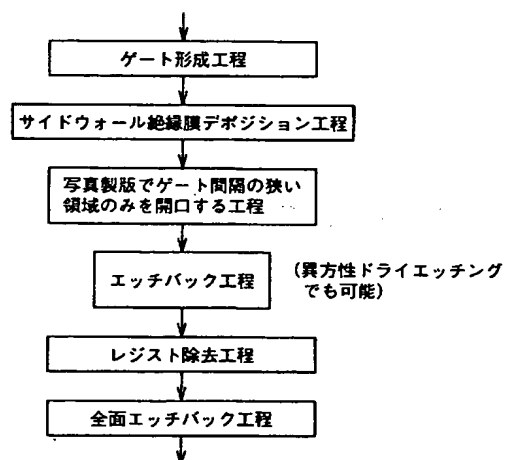
【図 16】



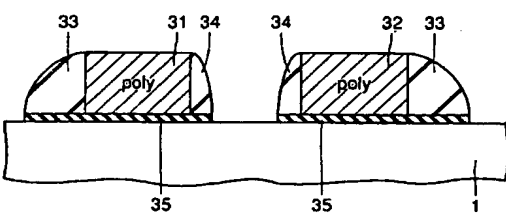
【図 17】



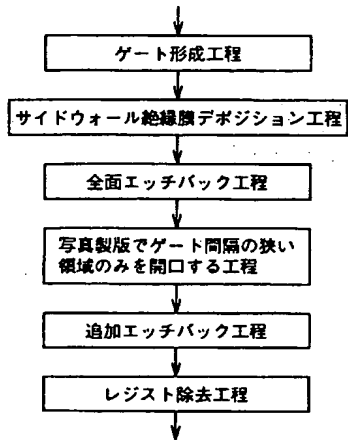
【図 19】



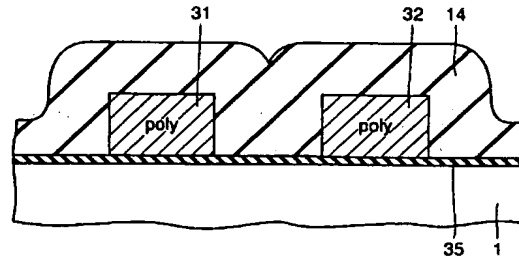
【図 24】



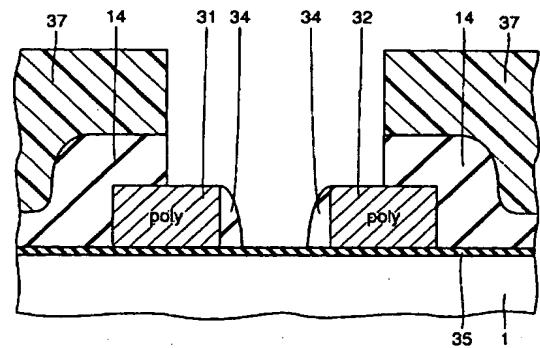
【図 20】



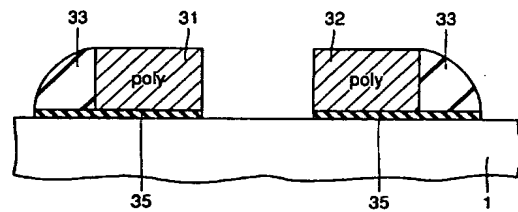
【図 21】



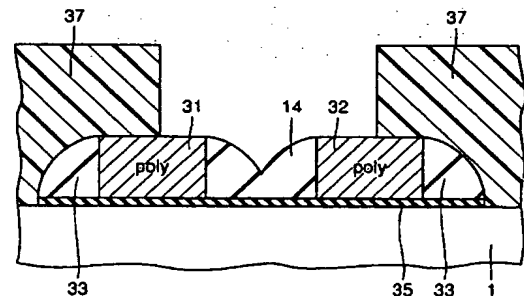
【図 23】



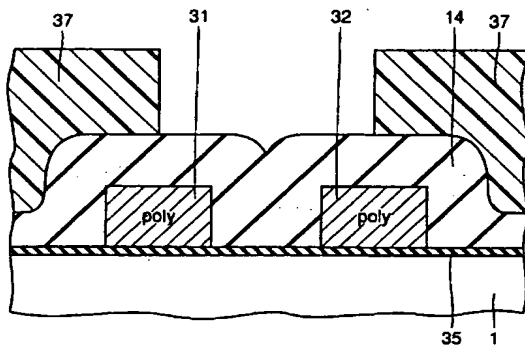
【図 26】



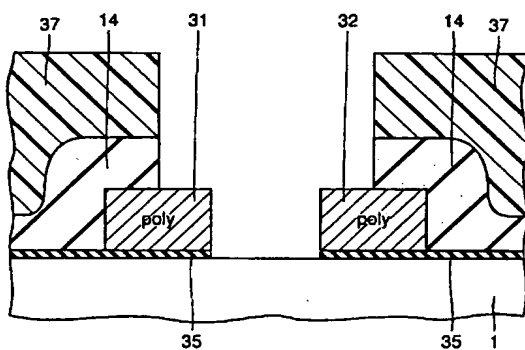
【図 28】



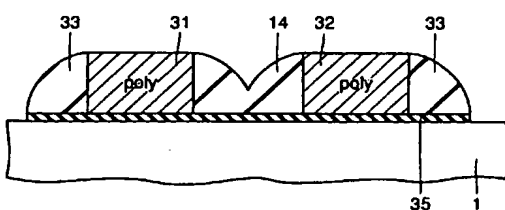
【図 22】



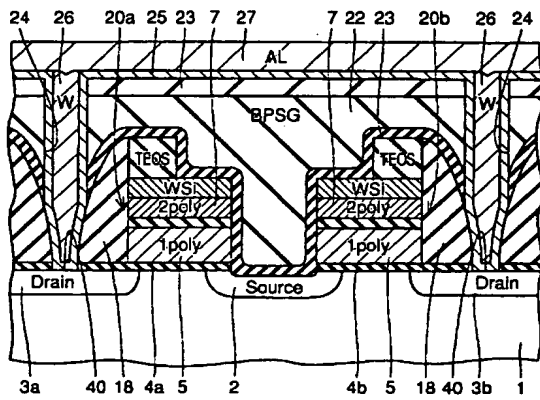
【図 25】



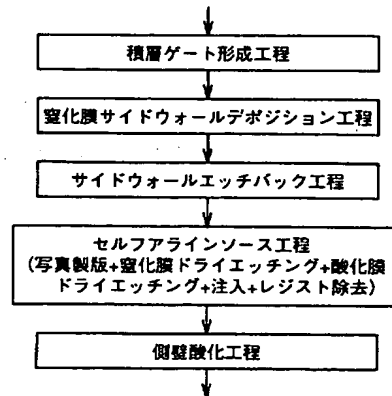
【図 27】



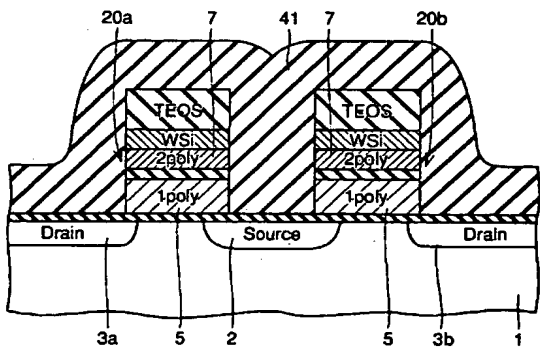
【図29】



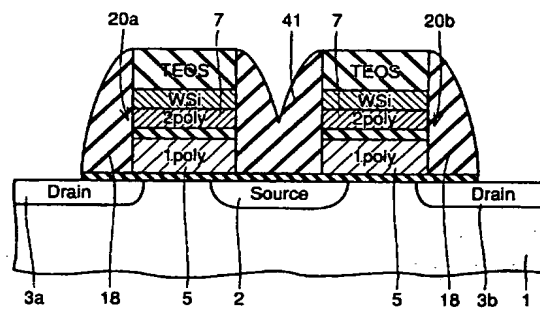
【図30】



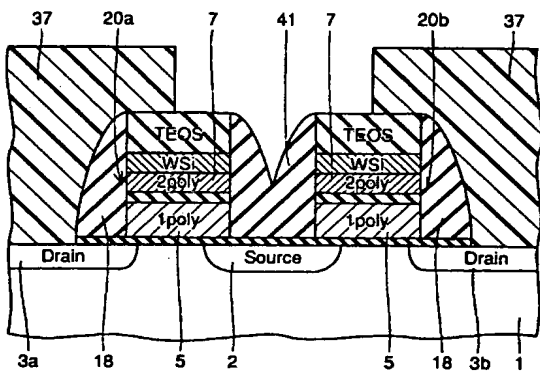
【図31】



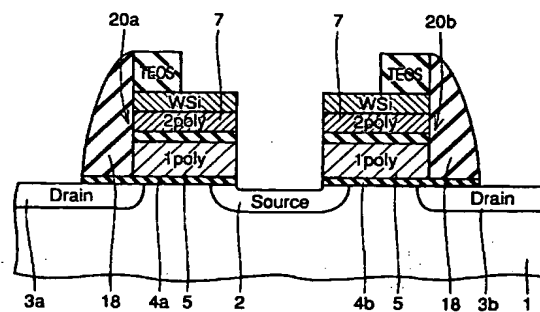
【図32】



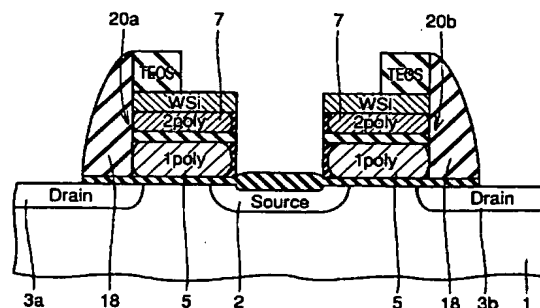
【図33】



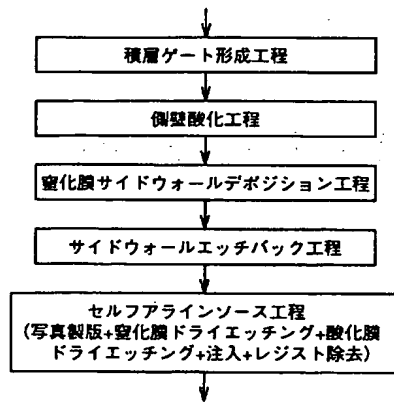
【図34】



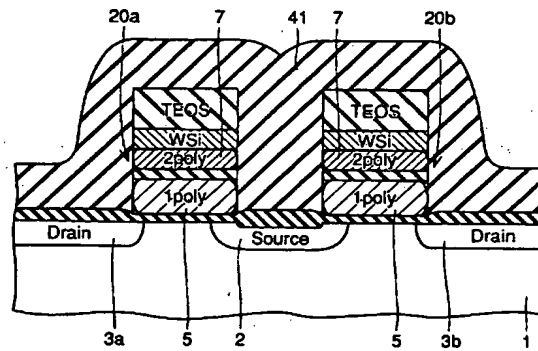
【図35】



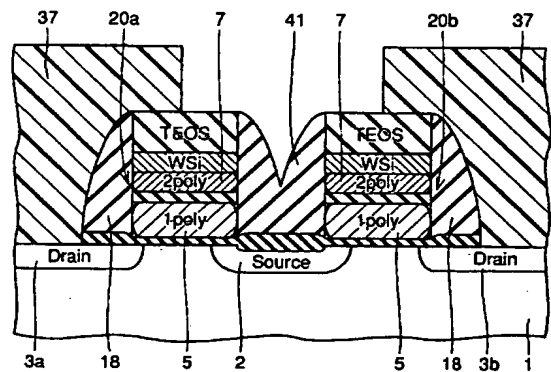
【図36】



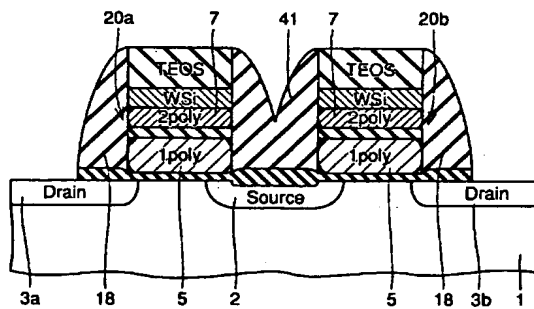
【図37】



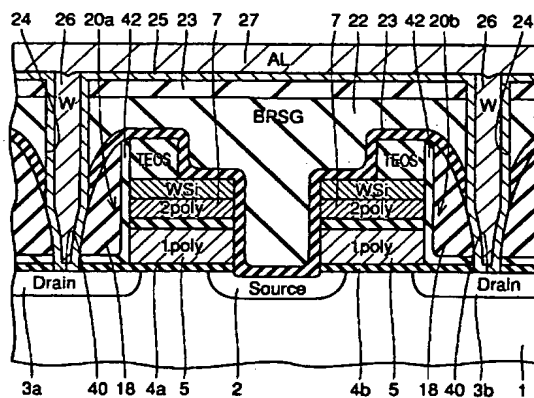
【図39】



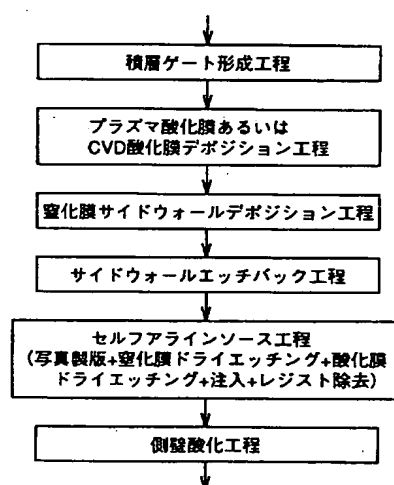
【図38】



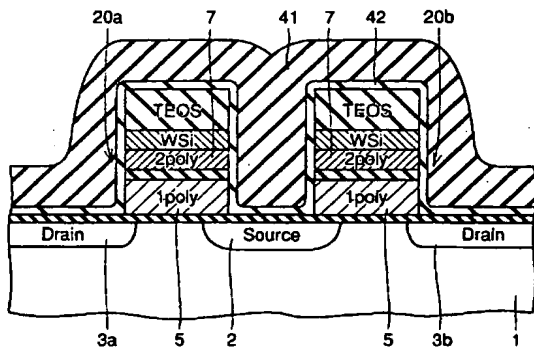
【図40】



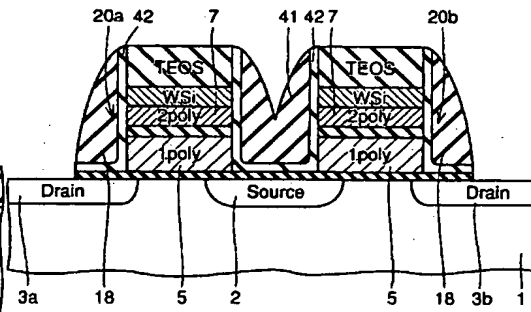
【図41】



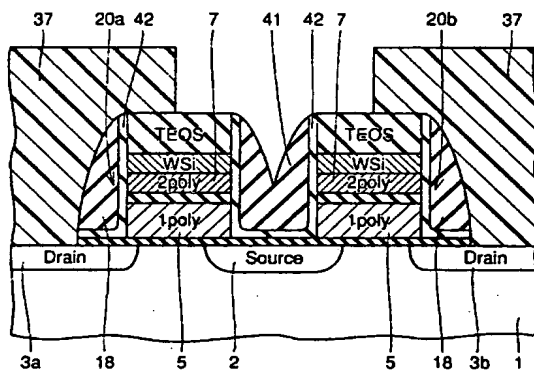
【図 4 2】



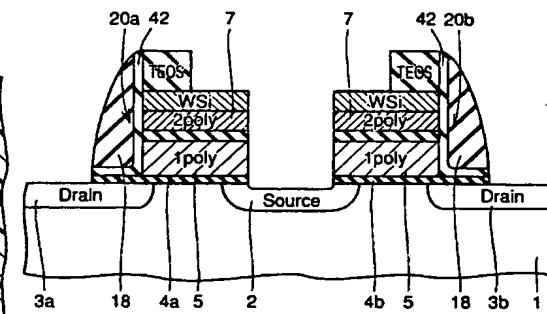
【図 4 3】



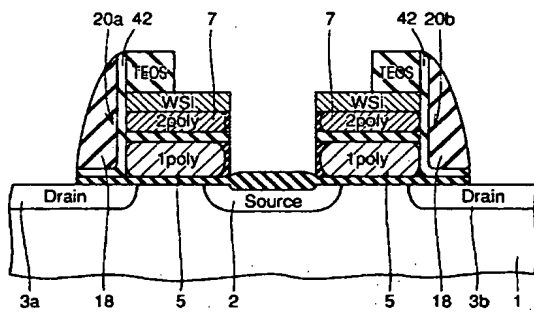
【図 4 4】



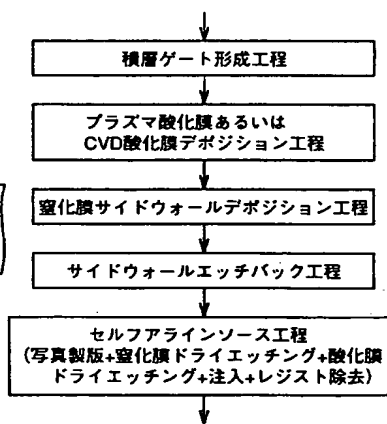
【図 4 5】



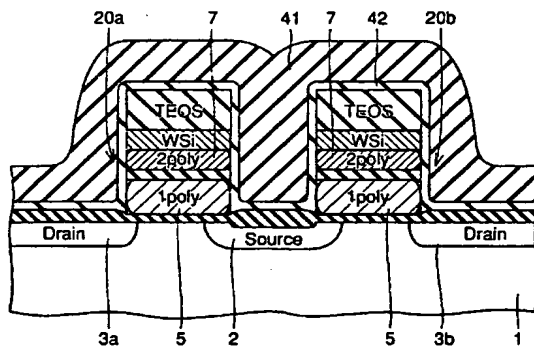
【図 4 6】



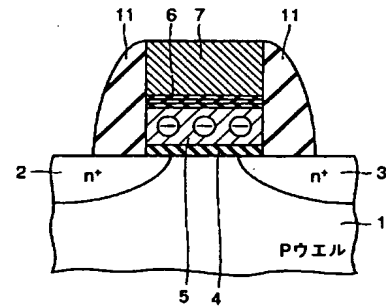
【図 4 7】



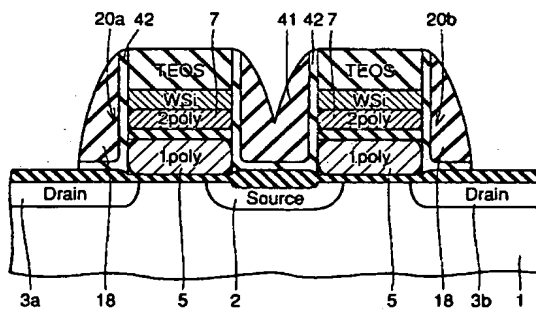
【図 4 8】



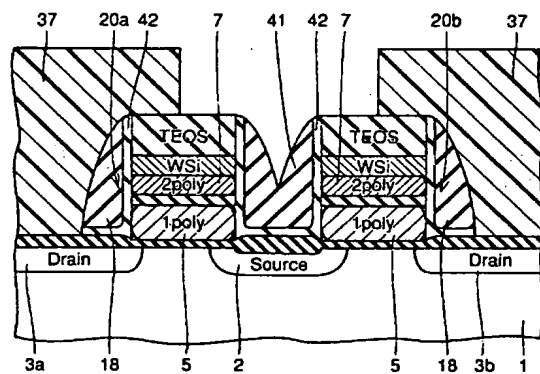
【図 5 9】



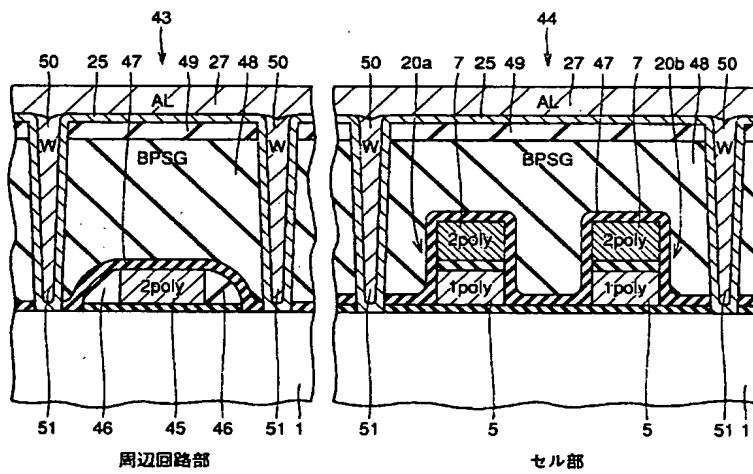
【図 49】



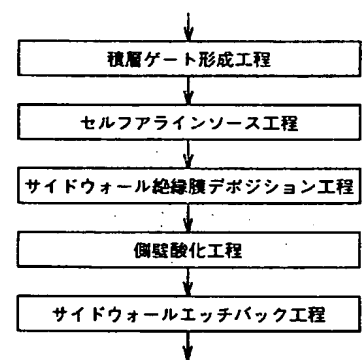
【図 50】



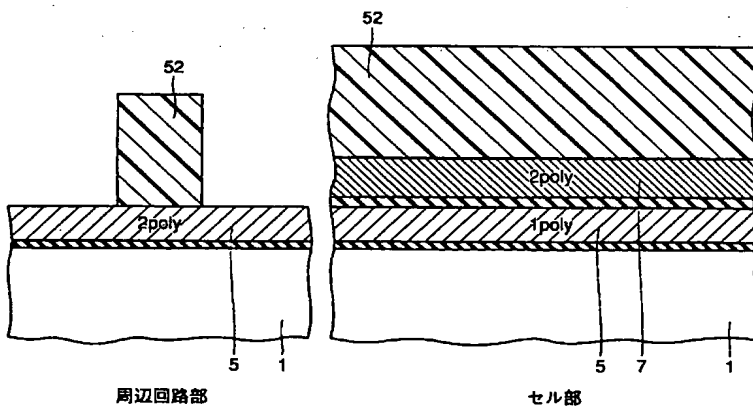
【図 51】



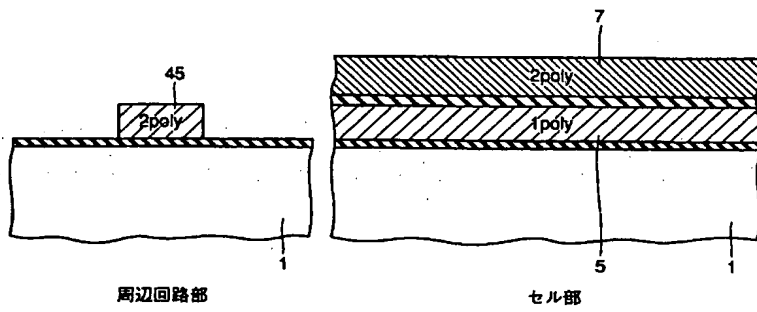
【図 67】



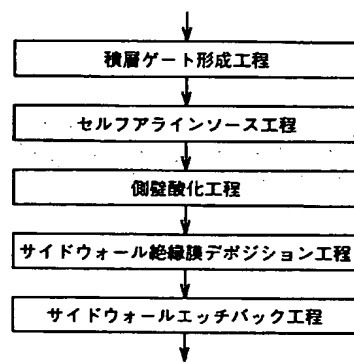
【図 52】



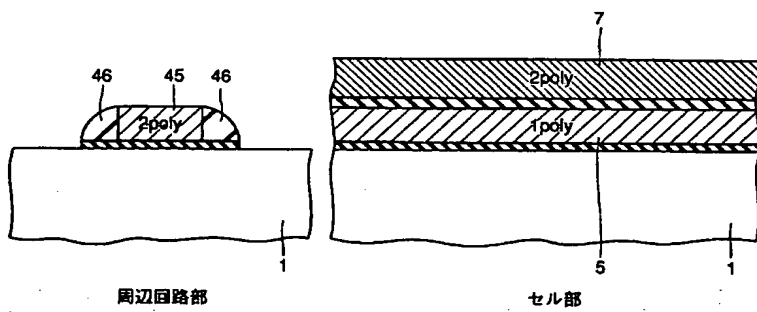
【図 5 3】



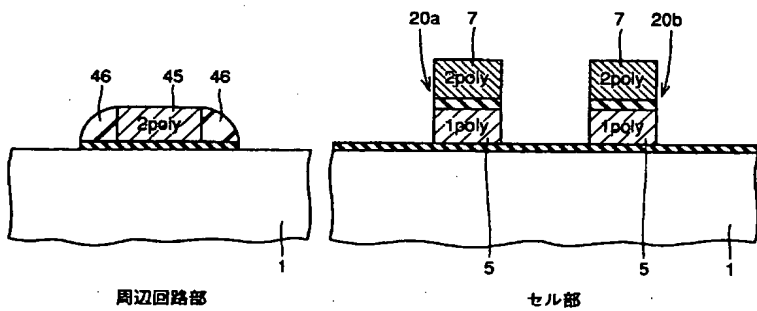
【図 7 4】



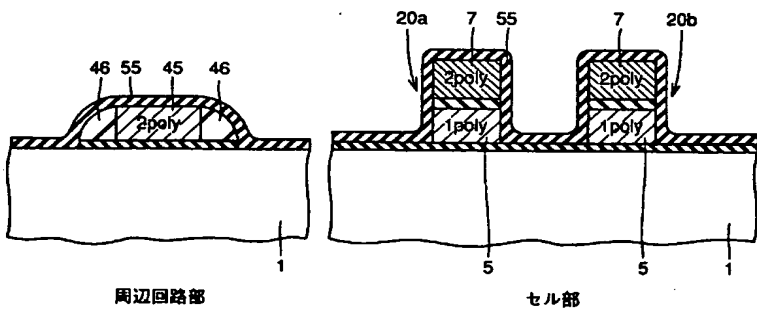
【図 5 4】



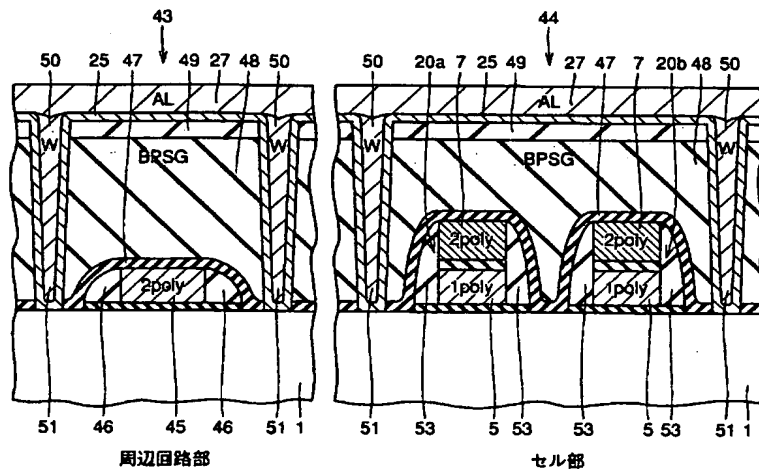
【図 5 5】



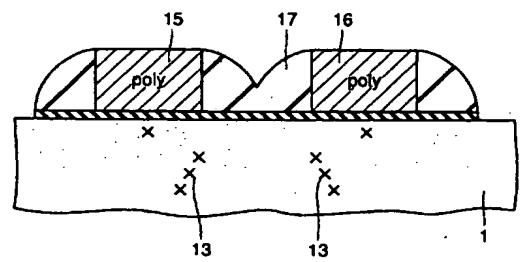
【図 5 7】



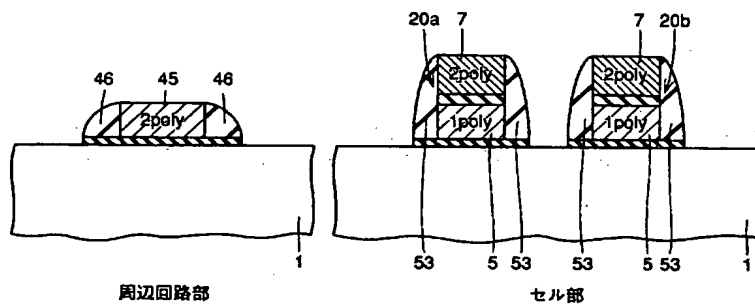
【図 5 6】



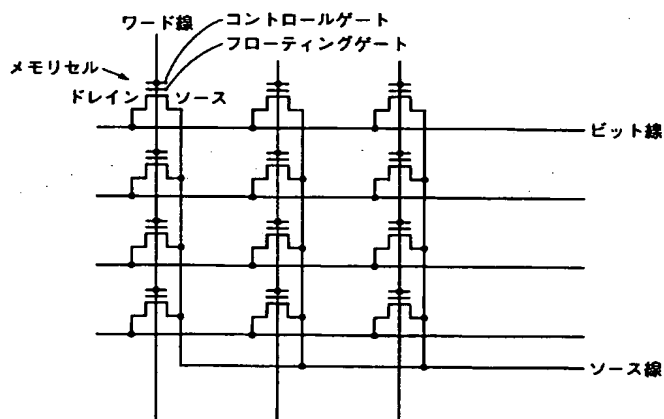
【図 7 7】



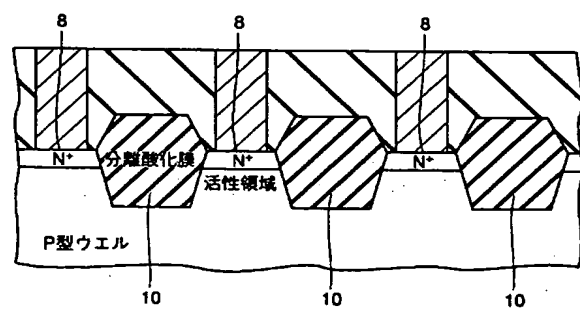
【図 5 8】



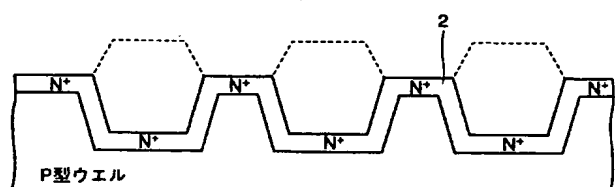
【図 6 0】



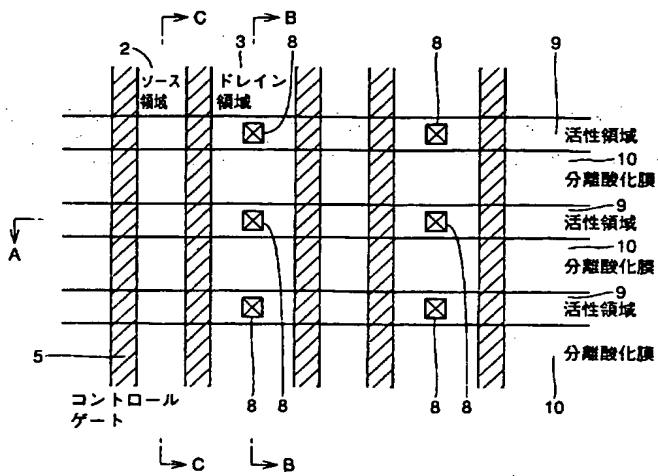
【図 6 3】



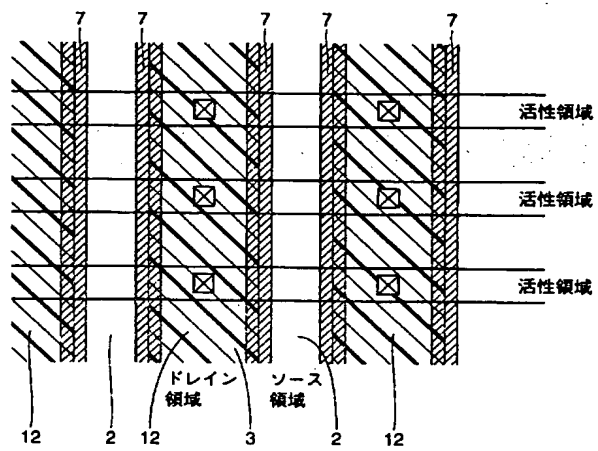
【図 6 4】



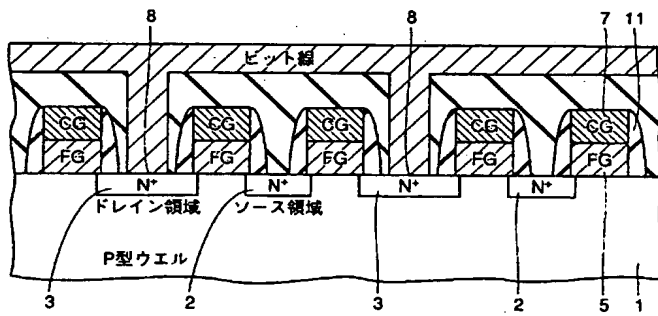
【図 61】



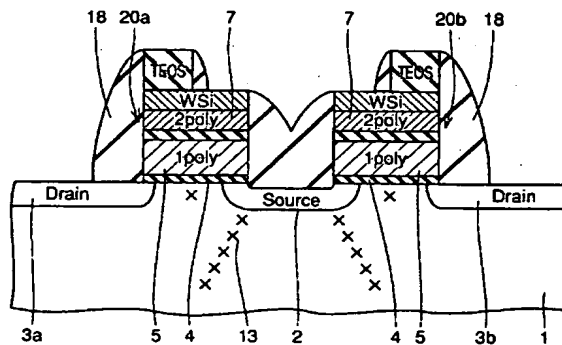
【図 65】



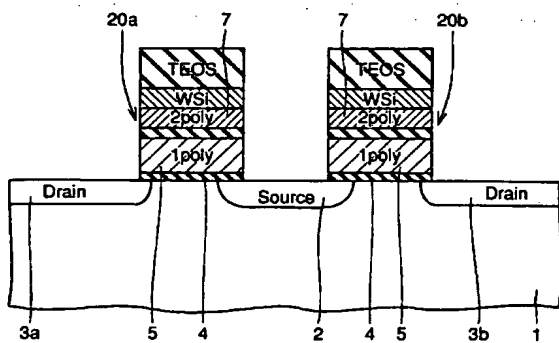
【図 62】



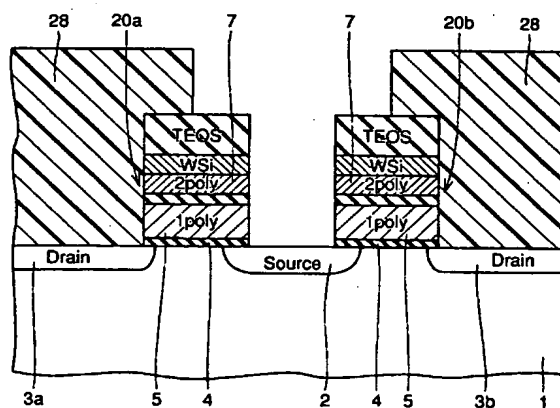
【図 66】



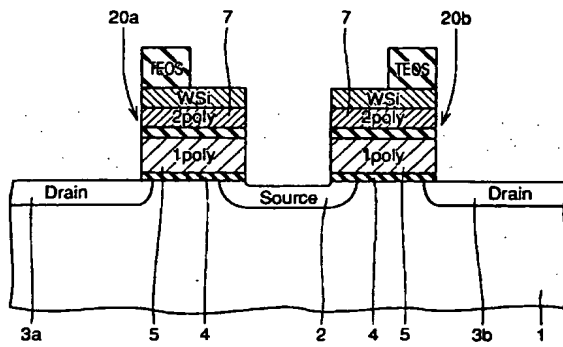
【図 68】



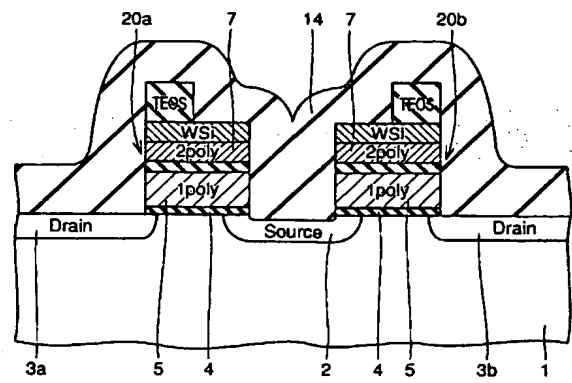
【図 69】



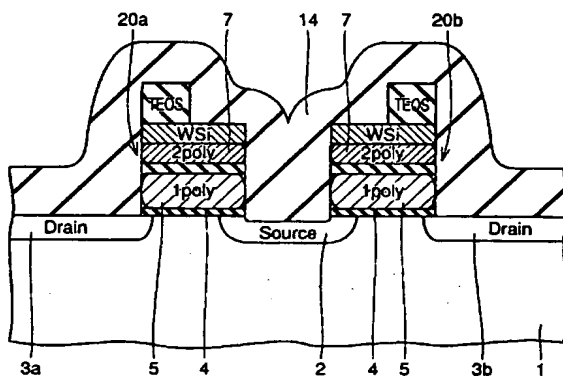
【図 7 0】



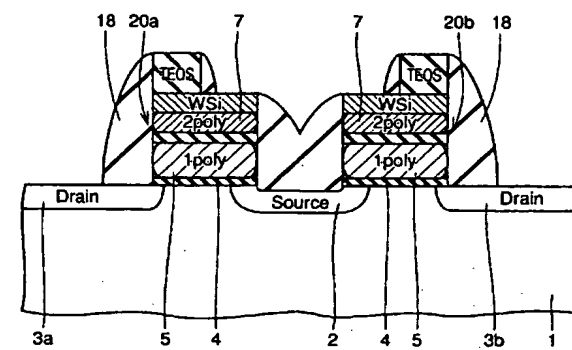
【図 7 1】



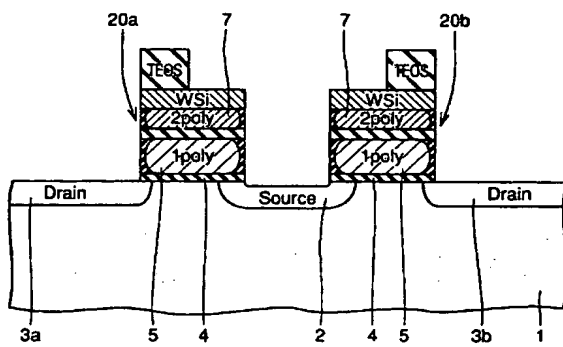
【図 7 2】



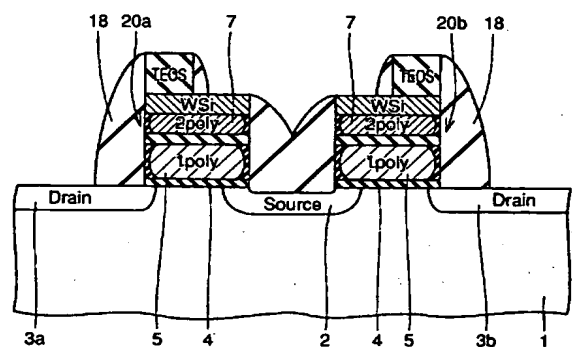
【図 7 3】



【図 7 5】



【図 7 6】



フロントページの続き

Fターム(参考) 5F001 AA01 AB08 AD51 AG07 AG10
AG12 AG21 AG30
5F083 EP02 EP23 EP55 EP77 ER02
ER03 ER14 ER22 GA30 JA04
JA35 JA36 JA39 JA40 JA53
JA56 KA05 KA11 MA05 MA06
MA20 PR29
5F101 BA01 BB05 BD32 BH02 BH09
BH14 BH16 BH19